



## 背景资料

### 赛灵思 XtremeDSP 解决方案

#### 将数字信号处理功能提升到极至

在当今要求最苛刻的数字信号处理（DSP）系统设计和开发中，赛灵思的 FPGA 产品扮演着越来越重要的角色，这一点并非偶然。经过二十多年的研究和工程开发，以及与数百家 DSP 客户的密切合作，赛灵思的 FPGA 产品已经演化为高价值的 DSP 解决方案平台，在性能、灵活性、上市时间以及产品寿命方面都提升到了极高的水平，同时还大大降低了总体系统成本和功耗。

众所周知，FPGA 能够利用高度并行结构在单个时钟周期内完成复杂算法。目前的 FPGA 在单个器件内能够提供每秒数百上千（MSPS）和每秒数十亿乘法累加操作（GMACS）的性能。拥有如此高的 DSP 性能水平，设计人员可以选择降低 FPGA 的时钟速率来节省功耗，也可以选择实现更多通道来降低系统成本并降低材料清单成本（BOM）。

尽管如此，FPGA 解决方案不仅具有如此大的成本/性能优势，而且在灵活性、上市时间以及产品寿命方面的价值同样非常诱人。对那些对高性能 DSP 技术有高需求且发展迅速的市场，包括通信、多媒体、视频与图像（MVI）以及国防行业等，都处于快速变化之中。不断变化的标准、市场需求和客户要求，瞬息万变的经济形势和竞争态势为能够通过创新和灵活性跟上变化步伐的企业带来了巨大的商业机会。对于越来越多的系统设计师和 DSP 设计人员来说，FPGA 成为首选的平台。

#### 赛灵思 XtremeDSP 计划

2000 年 11 月，赛灵思公司启动了 XtremeDSP™计划，旨在为满足通信、多媒体、视频与图像以及国防行业对高性能 DSP 的需求提供不断演化的、针对应用优化的 DSP 解决方案产品线。其首要任务包括：

- 不断扩展为 DSP 设计提供的高性能器件产品线
- 提供开发板和开发套件、参考设计和 IP
- 推出用于不同 DSP 系统设计方法的设计和开发工具
- 提供补充的可编程逻辑、连接功能和嵌入式处理功能

- 与业界和大学建立战略合作伙伴关系，提供培训和支持

## 极高的性能和灵活性

性能、系统级成本和功效、更快的上市时间和灵活性是基于 FPGA 进行 DSP 设计的标志。所有这些价值优势都是通信等行业中的领导厂商所迫切需要的。

全球对于更高质量、更大带宽和更低成本的有线和无线语音、计算机和视频数据通信的需求空前高涨。受此推动，新通信标准的数量和复杂性都在以指数级的速度增加。这很大原因是需要在传统网络和下一代网络中的众多通信层之间实现互操作性和数据交换。而且，通过无线方式提供新服务的需求不断增加，这也是推动当今标准发展热潮的重要原因。对于系统供应商来说，跟上这些标准的演进并且满足极为关键的性能-价格-功耗比要求并不是一件容易的事。

对于高性能 DSP 解决方案所服务的动态市场来说，FPGA 的灵活性意味着：

- 更高层次的集成以降低系统成本
- 领先的算法解决方案和标准实施支持更快速的上市时间，从而可大大提高市场份额
- 远程调节易操作，适应无法预测的环境和功能变化（从而降低运营成本）
- 延长现有设计的生命周期（从而降低资本支出）
- 创新产品设计和移植的完美平台，从而可跟上不断变化的客户需求和市场要求。

## XtremeDSP 器件产品线

XtremeDSP 产品线包括 Virtex™-DSP 和 Spartan-DSP 系列产品，为满足广泛的应用需求提供了丰富的价格、性能、功效、带宽和 IO 组合。Virtex-5 SXT 和 Spartan-3A DSP 产品是最近增加的新成员。

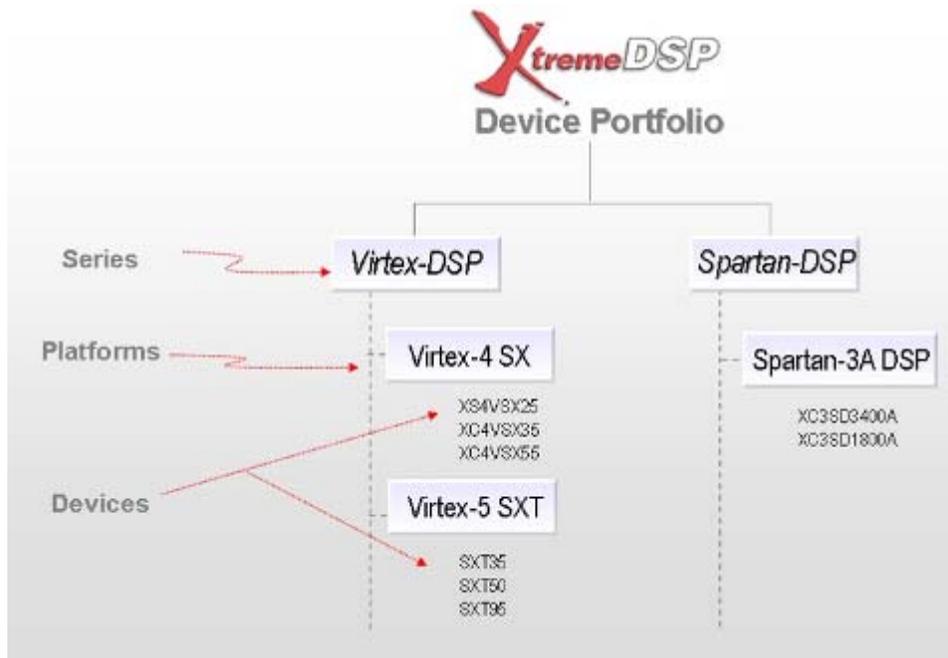


图1.XtremeDSP 器件产品线

### Virtex-5 SXT –最高的性能和连接功能

Virtex-5 SXT 平台进一步拓展了赛灵思公司的 XtremeDSP™产品线，其中的三款新器件可满足下一代无线、国防以及多媒体、视频和图像等应用对超高 DSP 带宽和更低系统成本的要求。SXT 是四个 65nm Virtex-5 FPGA 平台中的第三个。随着 SXT 平台的推出，现在赛灵思 FPGA 可在 550MHz 时钟下提供超过 350 GMACS 的 DSP 性能，同时与先前的 90nm 一代产品相比，动态功耗降低 35%。Virtex-5 SXT 平台还是业界第一个通过低功耗收发器（达 3.2 Gbps）提供串行连接功能的 DSP 优化的 FPGA 系列产品。

除了利用 65nm ExpressFabric™技术提升逻辑性能以外，所有 Virtex-5 FPGA 都集成了用户可配置的 DSP48E 逻辑片。DSP48E 逻辑片是乘法累加（MAC）功能模块的新发展。这些 DSP 引擎可在高达 550 MHz 的频率下执行 MAC 操作。FPGA 能够实现高度并行的架构，从而使 DSP 性能比分立 DSP 处理器提高了两个数量级以上，并且每个通道的成本和功耗达到了最低。

Virtex-5 SXT 器件的逻辑密度范围为 35,000 至 95,000 逻辑单元，同时专用 DSP48E 逻辑片的数量为 192 至 640。集成多达 11.6 Mbit 嵌入式 BlockRAM 和分布式 RAM，这些器件提供了最高的存储器逻辑资源比，可以高效地实现视频处理和医疗图像市场中 DSP 应用所需要的存储器密集功能。

Virtex-5 SXT 平台还集成了低功耗 RocketIO™ GTP 收发器 (典型规格为<100mW @ 3.2 Gbps)以及在 Virtex-5 LXT 平台首次内建的 PCI Express®端点和以太网 MAC 模块。两个平台均支持所有主要的串行 I/O 协议 (PCIe™、CPRI、OBSAI、SRIO、GbE 和 XAUI), 能够为芯片与芯片、板与板以及机箱与机箱之间的高速大带宽连接提供功耗最低的解决方案。

## **Spartan-3A DSP 平台 –突破性的性价比**

在为特定应用寻求最佳 DSP 解决方案的过程中, 设计人员通常要在价格、性能和功耗之间进行大量的折衷, 通常需要牺牲一项或多项性能来满足另外一些方面的要求。Spartan-3A DSP 平台是赛灵思 XtremeDSP 产品线中的另一个新成员, 同时也是第一个针对 DSP 优化的 Spartan FPGA 系列产品。Spartan-3A DSP 将这三项关键的性能完美地结合起来, 为大量应用提供了最佳组合。

### **信号处理容量**

Spartan-3A DSP平台量产时的单价低于 30 美元<sup>1</sup>, 在小尺寸封装中可提供 30 GMACS以上的DSP性能和高达 2,200 Gbps的存储器带宽。这代表着前所未有的性能/价格突破, 满足了大量对价格和功耗都很敏感的应用的要求。这些应用包括单通道微蜂窝无线基站中的数字头端 (DFE) 和基带解决方案、军用移动软件定义无线电 (SDR)、超声系统、辅助驾驶/多媒体系统、高分辨率 (HD) 视频以及智能 IP相机等。

而且, 拥有多达 53,712 逻辑单元、2,268 Kb BlockRAM、373 Kb 分布式 RAM、519 个 I/O 引脚以及 DeviceDNA 安全技术和新的休眠/待机电源管理功能, Spartan-3A DSP 器件提供了足够的信号处理容量, 可以将价格/性能/功耗比降到更低水平。此外, 基于 FPGA 的 DSP 解决方案所提供的设计灵活性以及快速上市时间进一步降低了风险, 因此 Spartan-DSP 系列的价值变得越来越明显 (参见表 1)。

---

<sup>1</sup> 25K units/yr in late 2008

	Spartan-DSP		Virtex-DSP					
	Spartan-3A DSP		Virtex-4 SX			Virtex-5 SXT		
	3SD1800A	3SD3400A	V4V5X25	4V5X35	4V5X55	5V5X35T	5V5X50T	5V5X95T
DSP Performance (GMACs)	21 <sup>1</sup>	32 <sup>1</sup>	64 <sup>2</sup>	96 <sup>2</sup>	256 <sup>2</sup>	106 <sup>2</sup>	150 <sup>2</sup>	352 <sup>2</sup>
Max Block RAM Memory Bandwidth (Gbps)	1,512 <sup>1</sup>	2,268 <sup>1</sup>	4,608 <sup>2</sup>	6,912 <sup>2</sup>	11,520 <sup>2</sup>	6,653 <sup>2</sup>	10,454 <sup>2</sup>	19,325 <sup>2</sup>
Max DSP Frequency (MHz)	250 <sup>1</sup>	250 <sup>1</sup>	500 <sup>2</sup>	500 <sup>2</sup>	500 <sup>2</sup>	550 <sup>2</sup>	550 <sup>2</sup>	550 <sup>2</sup>
XtremeDSP DSP40 Slices	84	126	126	192	512	192	268	640
Min Footprint (mm)	19x19	19x19	27x27	27x27	27x27	27x27	27x27	27x27
Distributed RAM (Kb)	260	373	160	240	384	520	780	1,520
Block RAM (Kb)	1,512	2,268	2,304	3,456	5,760	3,024	4,752	8,784
Logic Cells	37,440	53,712	23,040	34,560	55,296	34,816	52,224	94,208
High Speed Connectivity	176 x 622+ Mb/s LVDS pairs	288 x 622+ Mb/s LVDS pairs	136 x 1+ Gb/s LVDS pairs	224 x 1+ Gb/s LVDS pairs	360 x 1+ Gb/s LVDS pairs	180 x 1.25 Gb/s LVDS pairs, 8 x 3.2 Gb/s Transceivers	240 x 1.25 Gb/s LVDS pairs, 12 x 3.2 Gb/s Transceivers	288 x 1.25 Gb/s LVDS pairs, 16 x 3.2 Gb/s Transceivers

表1: Spartan-DSP 平台填补了XtremeDSP 产品线中的1-30 GMACS 性能范围。  
注意: 1) 在低速度级器件中。2) 在高速度级器件中

### 将DSP 性能提升到极限

过去二十年里算法复杂性的快速提升是推动FPGA在DSP应用中使用的最重要市场动力。固定架构的处理器如DSP和通用处理器(GPP)面临的问题是,固有的架构无效性使它们的性能限制在摩尔定律规定的理论限定值以下<sup>2</sup>。

此外,由于通信系统将数据传输效率不断推向香家定理(Shannon's Law)<sup>3</sup>(参见图2)所限制的上限,里德-所罗门(Reed-Solomon)编码以及最近的Turbo码等高级技术也越来越靠近其理论极限,当然代价就是更高的计算复杂性。

这就导致了算法性能要求和处理器性能之间的差距越来越大。因此,设计人员必须寻找新的设计解决方案(不局限于传统DSP范围),在固定结构处理器之外选择FPGA。

<sup>2</sup> 摩尔定律的内容是:晶体管密度(理论上对应于性能)每18至24个月翻一番。

<sup>3</sup> 通信信道的Shannon限定值指在给定的噪声水平下信道的最大理论信息传递值。

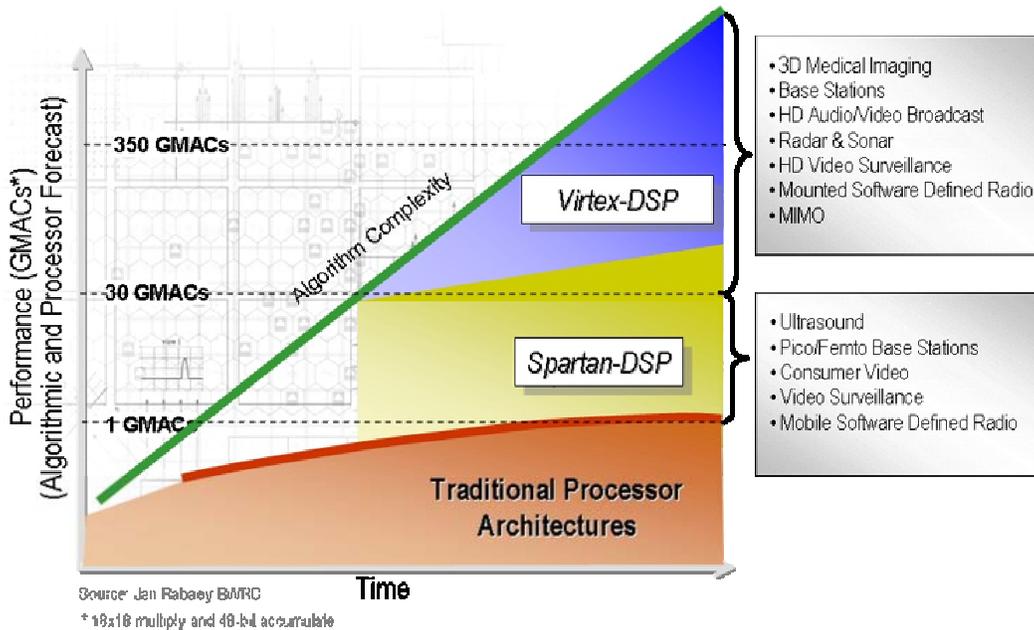


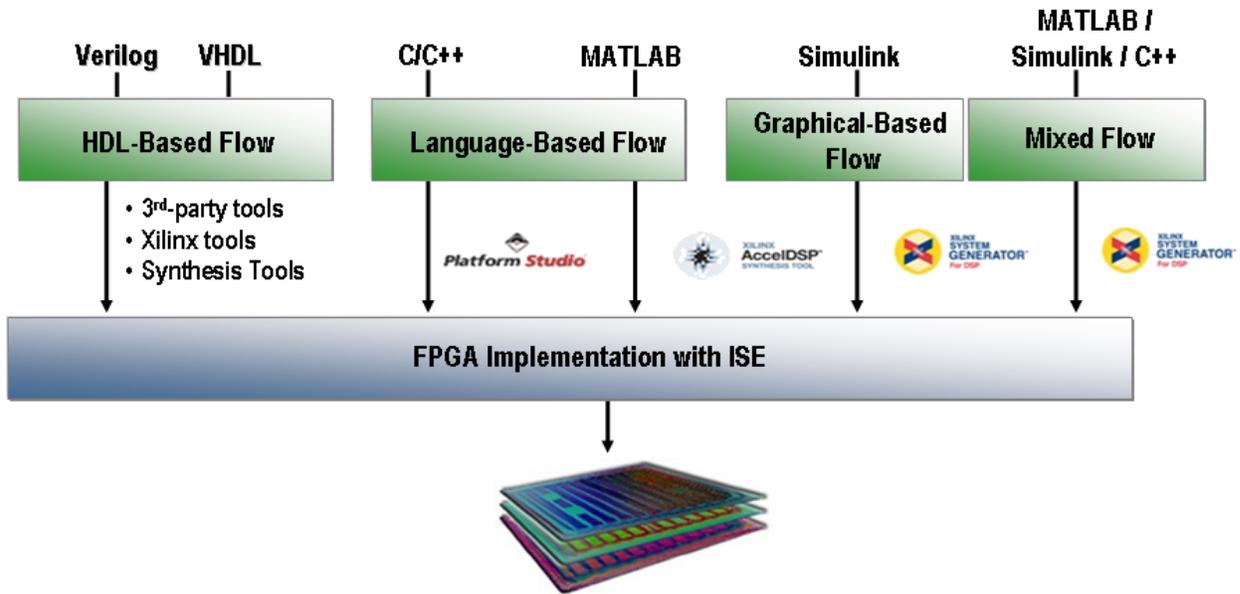
图2. 赛灵思 FPGA 填补算法复杂性和固定架构处理器无效性造成的性能差距

由于 FPGA 并行处理机制可提供极高性能的信号处理能力，因此非常适于来填补这一性能差距。FPGA 灵活的架构使得可以方便地在相似系列器件之间进行设计移植，因此可以将标准甚至环境条件变化带来的风险降到最低。

### DSP48E 逻辑片

在 XtremeDSP 产品线所有器件中最有价值的资源之一就是 DSP48 逻辑片，它不仅帮助提升 DSP 设计的总性能，同时还可以提高实现所需要性能的设计和资源效率。DSP48 是面向应用的组合模块 (ASMBL™)，可增强 Virtex-DSP 和 Spartan-DSP 器件中的 DSP 功能。这些 DSP48 逻辑片可帮助 DSP 设计人员设计出满足复杂挑战的解决方案，例如：成百上千的中频-基带下转换信道、3G 扩频系统中的 128X 片码速处理、高分辨率 H.264 和 MPEG-4 编码/解码算法。

一个 DSP48 基本片（也称为 XtremeDSP 基本片）包含两个 DSP48 逻辑片，构成通用粗粒度 DSP 架构的基础。DSP48 逻辑片支持多种独立功能，包括乘法器、乘法-累加器 (MACC)、加法乘法器、三端输入加法器、桶状移位寄存器、宽总线多路复用器、幅度比较器或宽输入加法器。不需要使用通用可编程逻辑构造资源，这一架构就可支持将多个 DSP48 逻辑片连接起来完成更宽输入的数字功能、DSP 滤波器和复杂算法。这可以带来更低的功耗、极高的性能和更高的芯片资源使用效率。



DSP 逻辑片带来的另一项重要优点是可以从一个平台系列移植到另一个平台系列，例如，从 Virtex-4 SX 或 Virtex-5 SXT 器件移植到 Spartan-3A DSP 器件。由于 DSP48 是 Virtex-DSP 和 Spartan-DSP 系列的基本 DSP 构造模块，因此从一个系列移植到另一个系列器件是很直接的过程，设计需要做的更改很小。

### XtremeDSP 设计工具

通过 XtremeDSP 计划，赛灵思及其第三方合作伙伴构成的业界生态系统达成了这样的共识，即将 DSP 的所有潜力和灵活性尽可能方便地提供给三类不同的设计人群：系统设计师、DSP 工程师和 FPGA/硬件工程师。每一类设计人员承担的职责不同（还有偏好），从而造成了他们对特定设计环境的要求不同。

系统设计师必须快速确定如何在可用的处理资源之间最好地划分不同的系统级功能。他们关注的重点是选择满足产品性能和吞吐能力要求的处理资源，同时满足尺寸、成本和功耗方面的预算。

**图3.XtremeDSP 设计工具满足所有三类设计用户群体的设计环境要求（喜好）-系统设计师、DSP 工程师和FPGA/硬件工程师**

DSP 工程师更关注 DSP 算法的创建和改进。他们通常不熟悉硬件设计细节，要依赖工具将细节抽象掉，这样他们才能够更专注于更高层的设计探索和验证。

硬件工程师通常采用 VHDL 或 Verilog 来从设计中获得最高的性能。他们通过需要在同一设计环境中与更高层功能模块以及自己的寄存器传输级（RTL）设计协同工作的能力，并且可以运行测试基准进行功能和性能验证。

因此 XtremeDSP 计划是否能够取得成功的一个关键标志就是在于设计工具满足所有三类设计群体的程度。XtremeDSP 工具，如 SystemGenerator for DSP 和 AccelDSP™ 综合软件提供了系统建模、算法开发和探索、自动生成测试基准向量、设计验证和调试以及 HDL 生成和仿真等功能。无论某个设计师是喜欢使用 VHDL、Verilog、C/C++、MATLAB、Simulink 和 HDL，还是这些工具的任何组合，赛灵思的 XtremeDSP 工具都可以帮助他/她快速高效地充分发挥 FPGA 的所有潜力（参见图 3）。

## 结论

FPGA 填补了高性能应用对高性能 DSP 的需求与传统 DSP 处理器能够提供的性能之间巨大且不断增加的差距。有许多原因促使设计人员采用基于 FPGA 的 DSP 解决方案，其中四条最基本的原因归纳如下：

1. 处理极高的计算工作量 - FPGA 支持工程师设计高度并行的架构，因此可支持与时钟频率相同的采样速率。系统因此可以保持高达 500MSPS 的高性能水平 – 适于构建超高速单通道系统或慢速率数百通道系统。
2. 从 DSP 处理器分流计算密集的任务，将宝贵的执行周期让给其它功能。
3. 定制适用于特定算法的架构 - FPGA 提供的一系列 MAC 或乘法器可用于实现单抽头或多抽头的算法架构。FPGA 的可重配置特点意味着工程师可以快速构建和修改设计架构。
4. 降低系统成本和功耗 - FPGA 支持集成其它组件（如 Serial RapidIO 收发器、PCI Express 接口、胶合逻辑以及低速率控制任务），因此可以降低总体系统成本和功耗。此外，与传统 DSP 器件相比，并行机制提供了一个至几个数量级的性能优势，因此对于同样的性能，可以在更低的频率下工作。更低的频率可降低 MOPS/mW（功效的最关键指标）。正如加州伯克利大学电子工程和计算机科学系 Bob Brodersen 教授所证明的，与当今的基准微处理器相比，FPGA 的功率效率可高达其 1000 倍。（[参看 Bob Brodersen 的演示幻灯片](#)）

自启动以来，赛灵思 XtremeDSP 计划已经推出了一系列针对应用优化的 DSP 解决方案，这些解决方案结合了专用硬件平台、设计工具、参考设计、系统级应用知识、软件算法以及 IP 库。这些 XtremeDSP 解决方案提供如此强大的设计平台和环境，可为通信、多媒体、视频和图像以及国防应用提供性能接近极限的 DSP 设计。

+++