XILINX®

XAPP623（v1.2）2005 年 2 月 28 日

功率分配系统（PDS）设计：利用旁路电容/去耦电容

作者：Mark Alexander

概要

本应用指南阐述了如何设计面向 Virtex™芯片的功率分配系统。涵盖了功率分配系统和旁路电容或去耦电容的基本原理。文中介绍了设计和验证功率分配系统的具体步骤和过程。最后一个部分讨论了产生电源噪声的其他原因，并提出了解决方案。

简介

FPGA 设计人员在设计功率分配系统（PDS）时，面临着一个独特的任务。大多数其他大型、高密度 IC（如大型微处理器）对旁路电容都有非常明确的要求。由于这些器件仅为执行其存储的特定任务而设计，所以其电源需求是固定的，仅在一定范围内有所波动。但 FPGA 不具备这种属性。FPGA 可以不确定的频率、跨越多个时钟域，运行几乎无限多的应用，因此，预测其瞬态电流需求是一个非常复杂的过程。

由于无法确知一个新的 FPGA 设计的瞬态电流的变化情况，在设计第一个 FPGA PDS 时，唯一的选择就是采用保守的最坏情况设计法。

数字器件中的瞬态电流需求是产生接地反弹的原因，也是高速数字设计的死对头。在低噪声或高功率情况下，电源去耦网络必须根据这些瞬态电流需求准确地度身定制，否则，接地反弹和电源噪声将超出 FPGA 的限值。每种 FPGA 设计产生的瞬态电流不尽相同。本应用指南介绍了一种全面的设计方法，适用于满足特定 FPGA 设计的个别需要的旁路网络。这个过程的第一步就是检查 FPGA 的利用率，大致了解其瞬态电流要求。

接下来，保守地设计一个满足这些要求的去耦网络。第三步，通过模拟和修正电容数量和额定值，精细调整这个去耦网络。第四步，完成全部设计；第五步，测量设计。测量包括利用示波器和频谱分析仪检测电源噪声。取决于测得结果，可能有必要再次重复元件选择

© Xilinx 公司版权所有，2003 年至 2005 年。保留一切权利。所有 XILINX 商标、注册商标、专利和其他免责声明详见 http://www.xilinx.com/cn/legal.htm 。所有其他商标和注册商标均为其各自所有者的财产。所有技术规格随时可能更改，恕不另行通知。免责声明：Xilinx 公司提供的设计、代码或信息均为“按现状”提供。Xilinx 提供作为这种特性、应用或标准的一种可能实现的设计、代码或信息，不表示这种实现不会导致任何侵权赔偿要求。贵方负责获得贵方实现可能要求的任何权利。Xilinx 公司明确否认关于实现的合适性的任何保证，包括但不限于，这个实现不会导致任何侵权赔偿要求的任何保证或陈述，以及关于适销性或适用于特定用途的默示保证。

和模拟步骤，以优化这个针对特定应用的 PDS。第六步是可选步骤，适用于要求完美的 PDS 的情况。

去耦网络基本原理

在开始进入 PDS 设计流程之前，必须理解所涉及的基本电气原理。这部分讨论了 PDS 的用途及其组件的属性。此外，还介绍了独立式电容的布局和贴装等重要方面，以及关于 PCB 的几何形状和叠层的建议。

PDS旨在向一个系统中的各种器件提供电源。系统中的每个器件不仅各有适于其运行的电源要求，而且对该电源的噪声也有特定要求。大多数电子器件，包括所有的Xilinx FPGA，均有一个适用于所有电源的要求，即V_{CC}上下波动的幅度不得超过V_{CC}额定值的 5%。在本文档中，V_{CC}通常是指FPGA的所有电源：V_{CCINT}、 V_{CCO}、V_{CCAUX}和V_{REF}。本文未涉及千兆位级收发器（MGT）模拟电源（$AV_{CCAUXTX}$、$AV_{CCAUXRX}$、VTTX、VTRX）。关于这些电源的特定说明，请参阅《RocketIO™收发器用户指南》（参考书目#1）。

这个要求规定了最高电源噪声，通常称为“波纹电压”。如果器件的电源要求为V_{CC}不得超过额定值的±5%，就表示，峰间波纹电压不得超过额定V_{CC}的 10%。这个结论假设额定V_{CC}就是技术规格表中给出的额定值。如果不是，那么就必须将V_{RIPPLE}调节至额定值 10%以内的相应值。

数字器件的功耗会随时间的推移而变化，变化频率范围广泛。功耗的低频率变化通常是在启用或禁用器件和器件的较大部分时发生。发生这种情况的时间标度可以从数毫秒到几天。功耗的高频率变化则是器件内部独立元件的切换动作引起的，这种变化取决于时钟频率的标度以及时钟频率最初的谐波。

由于一个器件的V_{CC}电压水平是固定的，所以变化的电源需求将表现为变化的电流需求。PDS必须适应这种电流消耗的变化，并且尽可能减少电源电压的变化。

当器件的电流消耗发生变化时，功率分配系统不能立即对变化做出响应。在 PDS 响应之前的短时间内，该器件的电源电压将发生变化，从而产生电源噪声。PDS 响应延迟的主要原因有两个，分别对应于 PDS 的两个主要元件。

PDS 的第一个主要元件是稳压器。稳压器负责检测 PDS 的输出电压并调节输出的电流量，以保持电压恒定。大多数常见的稳压器都在数毫秒到数微秒之间完成这种调节。对于各种频率的变化，从直流到几百千赫，稳压器在保持输出电压稳定性方面非常有效（取决于稳压器）。对于频率超出这个范围的所有瞬态事件，在稳压器响应新的电源需求之前，存在一

段时滞。例如，如果器件的电流需求在几毫微秒之间突然增加了，那么，在稳压器调节至器件需要的新的、更高电流之前，该器件的电压将有所下降。这段延迟的时间从数微秒到数毫秒之间不定，这个过程中，电压将降低。

PDS 的第二个主要元件是旁路电容或去耦电容。在本应用指南中，“旁路”和“去耦”两个词可以互换。这种元件的功能是作为器件的本地能源存储器。这种元件不能提供直流电源，因为它们只能存储少量电能（稳压器的作用是提供直流电源）。这个本地能源存储器的功能是以极快的速度响应变化的电流需求。在从数百千赫到数百兆赫的频率范围内，电容可以在几毫秒到毫微秒之间，有效地保持电源电压。对于超出这个范围的变化，去耦电容则无能为力。例如，如果器件的电流需求在几微微秒内突然提高，那么，在电容能够向器件提供额外电量之前，该器件的电压将有所下降。如果器件的电流需求改变了，并在数毫秒内保持新的水平，那么，与旁路电容并行运行的稳压电路将有效地接替这些电容，并调节自己的输出电压，满足新的电流需求。

图 1 显示了 PDS 的主要元件：电源、去耦电容和接通电源正在运行的器件（在本例中，是一个 FPGA 芯片）。

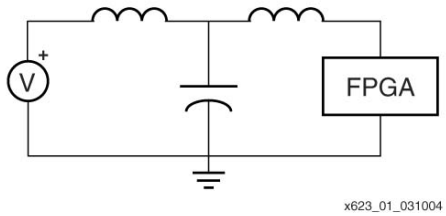


图 1：**简化的 PDS 电路图**

图 2 是一个更加简化的 PDS 电路图，显示了分解为频率相关电阻的所有电抗元件。

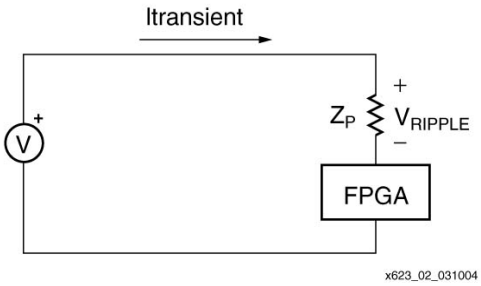


图 2：**更加简化的 PDS 电路图**

电感的作用是什么？

电容和 PCB 电流通道的属性之一就是延迟电流变化。因此，电容不能立即响应瞬态电流，

或者高于其有效频率范围的变化。这种属性称为电感。

可以将电感视作电荷的动量。其中，电荷在导体中以一定速率移动，代表一定量的电流。如果电流水平发生变化，那么，电荷就必须以不同的速率移动。由于该电荷有一定的动量（保存的磁场能量），因此，要在一段时间后电荷才能实现减速或加速。电感越强，对改变的阻力就越强，从而使得电流需要更长时间才能发生变化。

PDS 的目的是满足器件可能有的任何电流需求，并尽可能迅速地响应这种电流需求的变化。如果未能满足这种电流需求，那么，器件的电源电压就会发生变化。这就是电源噪声。由于电感会阻碍旁路电容迅速响应变化的电流需求的能力，所以应当最大限度地降低电感。图 1 显示了 FPGA 和电容之间的电感和电容和稳压器之间的电感。这种电感是电容自身以及 PCB 中的所有电流通道的寄生现象。必须最大限度地降低所有这些电感。

电容寄生电感

在电容的各种属性中，通常认为电容值是最重要的。然而，在 PCB PDS 设计领域，寄生电感属性（ESL，即等效串联电感）与电容值同样重要，甚或更为重要。

影响寄生电感的一个重要因素是封装的尺寸。一般而言，极为简单、体积小巧的电容的寄生电感低于体积较大的电容。就像较短的电线产生的电感低于较长的电线，较短的电容产生的电感也低于较长的电容。同样地，就像较粗或较宽的电线产生的电感低于较细的电线，较粗的电容产生的电感也低于较细的电容。

由于这些原因，在选择去耦电容时，应当选择特定额定值中体积最小的封装。类似地，对于特定封装尺寸（尤其是固定的电感值），应当选择采用该封装的电容中电容值最高的。

表面安装式芯片电容是目前市场中体积最小的电容，因此，是分立式旁路电容的理想选择。对于低于 2.2 µF 的极小的电容值，如 0.001 µF，通常使用 X7R 或 X5R 型电容。这些电容具备很低的寄生电感和可接受的温度特性。对于较高的电容值，如 1000 µF，则使用钽电容。这种电容具备较低的寄生电感和相对较高的等效串联电阻（ESR），使其具备较低的品质因素，从而能够提供范围广泛的有效频率。钽电容不仅具备相当高的电容值，而且封装尺寸也不大，从而降低了板上空间占用。如果没有钽电容可用，可以使用低电感电解电容。具备类似特性的其他新技术也可使用。

真正的电容具备多种特性，包括电容值、电感以及电阻。图 3 显示了一个真正的电容的寄生模式。应当将一个真正的电容视作一个 RLC 电路。

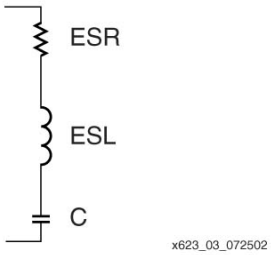


图 3：**真正的、而不是理想的电容的寄生现象**

图 4 显示了一个真正的电容的阻抗特性。在这张图中的重合的两条曲线对应于电容的电容值和寄生电感（ESL）。这两条曲线共同构成了因电容的寄生效应而产生的该 RLC 电路的总阻抗特性。

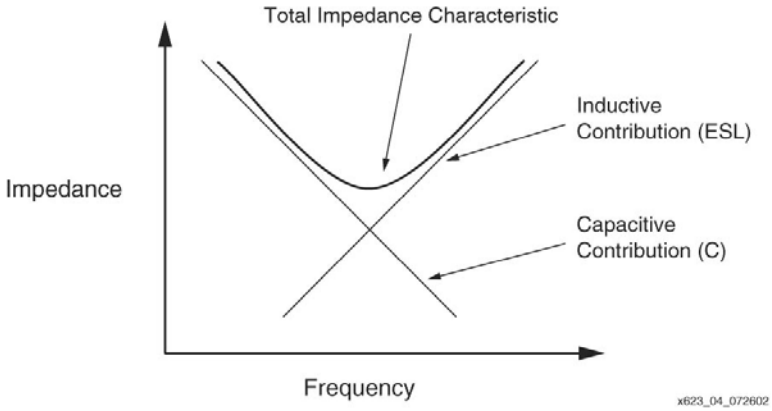


图 4：**寄生效应对总阻抗特性的贡献**

随着电容值的增加，电容曲线将逐渐下降，并向左移动。随着寄生电感的降低，电感曲线也将逐渐下降，并向右移动。由于采用特定封装的各种电容的寄生电感基本上是固定的，该电感曲线也保持固定。如果选择了采用该封装的不同电容值的电容，其电容曲线将相对于该固定的电感曲线向上或向下移动。降低采用特定封装的电容的总阻抗的唯一方法就是降低其电容值。使寄生电感曲线向下移动（从而降低总阻抗特性）的唯一方法，就是并联多个电容。

PCB 电流通道产生的电感

有两个截然不同的因素导致 PCB 中的电流通道产生寄生电感：

电容贴装和 PCB 的电源平面和接地平面。

贴装电感

在本文中，贴装指 PCB 上的电容焊区、焊区和通孔之间的迹线（如果有）以及通孔自身。

通孔、迹线和电容贴装焊盘共同产生从 300 pH 到 4 nH 不等的电感，取决于具体的几何形状。由于电流通道产生的电感与电流穿过的环的面积成一定比例，所以，最大限度地缩小这个环的尺寸非常重要。形成这个环的通道穿过一个电源平面，向上依次穿过一个通孔、通过迹线连接至焊区、电容、其他焊区和连接迹线，再向下穿过另一个通孔、进入另一个平面，如图 5 所示。

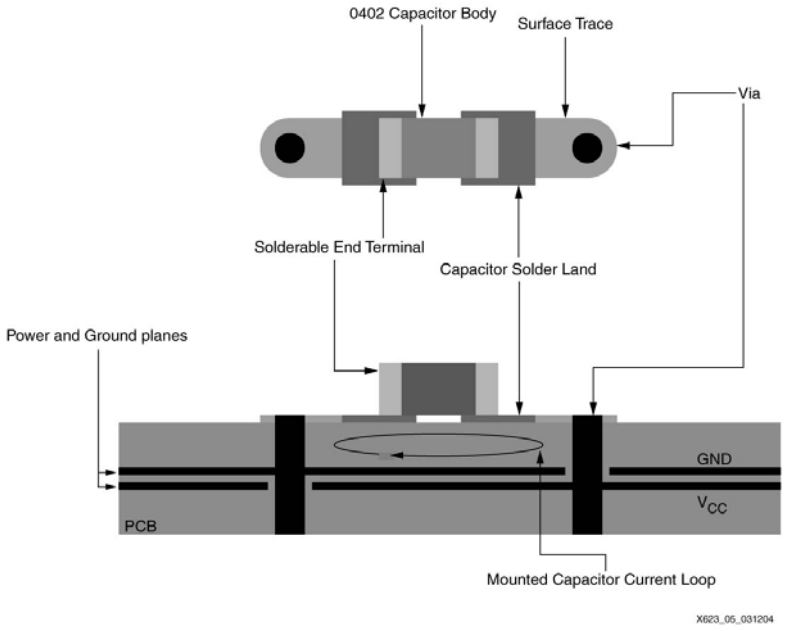


图 5：**带电容贴装的 PCB 剖面图**

通过缩短连接迹线，可以最大限度地缩小这个环的尺寸，从而降低电感。类似地，通过缩短电流经过的通孔的长度，也可以最大限度地缩小这个环的尺寸，从而降低电感。

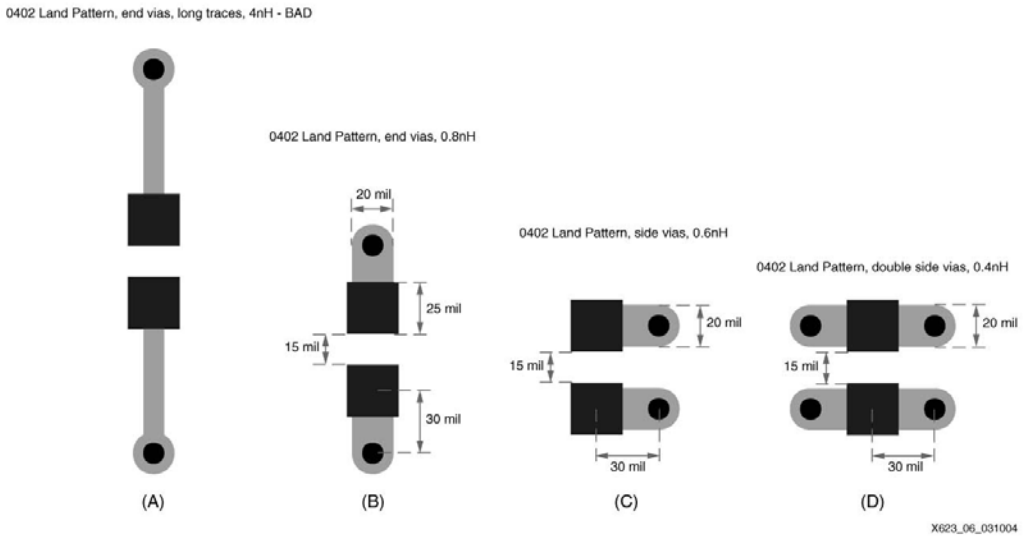


图 6：**电容焊区举例和贴装几何形状**

连接迹线的存在和/或其长度对贴装的寄生电感有很大影响。在可能的情况下，应当不使用连接迹线（图 6a）——通孔应当平接至焊区（图 6b）。此外，连接迹线应当尽可能宽。可以将通孔置于电容焊区的侧面（图 6c），或者使通孔的数量翻倍（图 6d），进一步改善贴装电感。目前，有少数 PCB 制造工艺支持在连接盘中导通孔的几何形状，不过，这是另一个不错的选择。利用超低电感电容时，在每个焊区使用多个通孔的技术非常重要，如反转纵横比电容（AVX 公司的 LICC）。

许多时候，为了尽量将更多元件放到一个微小的区域中，PCB 布局工程师往往选择多个电容共享通孔。在任何情况下，都不应当使用这种技术。电容贴装（焊区、迹线和通孔）通常会导致与电容自身的寄生电感相等甚或更高的电感。如果将第二个电容连接至一个现有电容的通孔，只能轻微地改善 PDS。最好能减少电容总数，并保持焊区和通孔的一对一比例。

平面电感

PCB 的电源平面和接地平面都会产生一定量的电感。这些平面的几何形状决定其产生的电感量。

顾名思义，电源平面和接地平面是平面结构，所以，电流以多个方向通过这些平面。依照类似于集肤效应的属性，当电流从一个点流动至另一个点时，有扩散的趋势。因此，可以将平面产生的电感描述为“扩散电感”，并以亨（H）/每平方为单位。平方是一个无量纲单位，是确定平面电感的一部分平面的形状，而不是其尺寸。

扩散电感的作用与其他电感一样，阻止导体中电流量的变化。在本例中，导体是电源平面或其他平面。应当尽可能降低扩散电感量，因为它会阻碍电容迅速响应器件中的瞬态电流。由于设计师通常难以控制平面的纵横值，唯一的可控因素就是扩散电感值。这主要由隔离电源平面及其相应接地平面的绝缘板的厚度决定。

在属本文讨论类型的高频功率分配系统中，电源平面和接地平面成对作用。其电感是相互依存的。电源平面和接地平面之间的空间（和材料的介电常数）决定这对平面的扩散电感。平面之间的距离越近（绝缘板越薄），扩散电感越低。表 1 列出了不同厚度的 FR4 绝缘板的扩散电感接近值（参考书目#2）。

表 1：不同厚度的 FR4 电源-接地平面夹层板的电容值和扩散电感值

绝缘板厚度 （密耳、微米）	电感 （pH/平方）	电容 （pF/平方英寸、pF/平方厘米）
4,102	130	225,35
2,51	65	450,70
1, 25	32	900,140

由于平面间的距离越近，扩散电感越低，那么，最好在一切可能的情况下，直接将V_{CC}电源平面直接连接至叠层中的接地平面。V_{CC}电源平面和接地平面之间的衬面有时候称为“夹层板”。虽然以往利用旧技术，不必使用V_{CC}电源－接地夹层板，但要提供高速、高密度器件所要求的更快速度和更高功率则必须使用这种夹层板。

除了提供低电感电流通道，接地夹层板还可提供一些高频去耦电容。随着平面的面积增加、电源平面和接地平面之间的距离缩短，这种去耦电容值也相应地提高。与此同时，由于这种电容的寄生电感逐渐降低，其有效频带中心频率也会提高。每平方英寸的电容值如表 1 所列。

仅这种去耦电容本身，通常不是电源－接地夹层板足以令人注目的优势。然而，如果将其视作低扩散电感之外的额外益处，那么大多数设计师都会欣然利用这种优势。

PCB 叠层和层序

V_{CC}电源平面和接地平面在PCB叠层中的布局（由层序决定）对电流通道的寄生电感有显著影响。因此，PCB设计师必须在设计初期考虑好层序，将优先的电源平面置于叠层的上半部，而将其他的电源平面置于叠层的下半部。

具备高瞬态电流的电源的相应V_{CC}电源平面应接近PCB叠层的顶部表面（FPGA侧），以缩短电流穿过V_{CC}电源通孔和接地通孔，到达相关V_{CC}电源平面和接地平面的垂直距离。如前文所述，每个V_{CC}电源平面都应在叠层中有一个与之相邻的接地平面，以降低扩散电感。由于集肤效应，高频电流会紧密耦合，因此，与特定V_{CC}电源平面相邻的接地平面趋向于传输与V_{CC}电源平面中的电流互补的大部分电流。所以，将相邻的V_{CC}电源平面和接地平面视作一对。

并非所有V_{CC}电源平面和接地平面对都能位于PCB叠层的上半部，因为制造工艺的局限性通常要求PCB叠层相对于绝缘板厚度和被腐蚀的铜皮区域，以中心对称。PCB设计师必须确

定哪些V_{CC}电源平面和接地平面对具备高优先级或传输高频电流，而哪些对具备低优先级或传输低频电流。

电容有效频率

每个电容都具备一个其作为去耦电容效果最好的窄频带。超出这个频带，电容也能向 PDS 做出贡献，但总体上要低得多。有的电容的频带比其他电容宽。电容的 ESR 决定电容的品质因素（Q），从而决定有效频带的宽度。通常，钽电容的有效频带非常宽，而 X7R 和 X5R 芯片电容由于 ESR 较低，所以通常具备较窄的有效频带。

有效频带对应于电容的谐振频率。虽然理想的电容仅具备电容特性，但真实的非理想电容还具备寄生电感 ESL 和寄生电阻 ESR。这些寄生效应连续作用，形成一个 RLC 电路（图 3）。与该 RLC 电路相对应的谐振频率就是电容的谐振频率。

要确定一个 RLC 电路的谐振频率，可以使用如下等式：

$$F = \frac{1}{2\pi\sqrt{LC}}$$

等式 1

换句话说，当执行这个电路的频率扫描 SPICE 模拟，产生最低电阻值的频率即为谐振频率。必须区分电容自身的谐振频率，和当电容成为PDS系统的一部分时，贴装电容的有效谐振频率。这个区别就是仅考虑了电容的寄生电感，和同时考虑了电容的寄生电感以及通孔、平面及之间的连接迹线和FPGA的寄生电感的区别。通常认为，电容自身的谐振频率F_{RSELF}（电容技术规格表中列出的值）高于其在系统中的贴装电容有效谐振频率F_{RIS}。由于贴装电容的性能如何非常重要，因此，在评估一个较大的PDS中的电容时，通常采用贴装电容谐振频率。

引起贴装电容寄生电感的主要因素是电容自身的寄生电感、PCB焊区和连接迹线的电感、通孔的电感以及电源平面的电感。如果电容贴装于电路板的下侧，那么通孔要穿过整个电路板叠层才能到达相应的器件。如果封装厚度为 60 密耳，这些通孔会在电路板上产生 300 pH至 1,500 pH不等的电感；如果电路板更厚，通孔产生的电感会更高。由于每个电容串联了两个此类通道，在计算电容的寄生电感时，应加上这个电感值两倍的数值。这个电感值，即电容贴装的寄生电感，被称为L_{MOUNT}。要确定PDS系统中电容的总寄生电感值L_{IS}，将电容的寄生电感L_{SELF}加至电容贴装的寄生电感L_{MOUNT}：

$$L_{IS} = L_{SELF} + L_{MOUNT}$$

举例

X7R 陶瓷芯片电容（本例使用 AVX 电容数据）

$C = 0.01\ \mu F$

$L_{SELF} = 0.9\ nH$

$FR_{SELF} = 53\ MHz$

$L_{MOUNT} = 0.8\ nH$

要确定PDS系统中电容的有效寄生电感值（L_{IS}），再加上通孔寄生电感：

$L_{IS} = L_{SELF} + L_{MOUNT} = 0.9\ nH + 0.8\ nH = 1.7\ nH$

$L_{IS} = 1.7\ nH$

将本例计算得出的值代入等式：

$$F_{RIS} = \frac{1}{2\pi\sqrt{L_{IS}C}}$$

$$F_{RIS} = \frac{1}{2\pi\sqrt{(1.7\times10^{-9}H)\cdot(1\times10^{-8}F)}} = 3.8\times10^{7}Hz$$

F_{RIS}：贴装电容谐振频率：38 MHz

由于去耦电容仅在以其谐振频率为中心的较窄频带内有效，因此，在选择电容器制作去耦网络时，必须考虑其谐振频率。

电容反谐振

与FPGA PDS中的电容相关的一个常见问题是PDS总阻抗的反谐振尖峰。PDS中的能源存储器件（如分立式电容、寄生电感、电源平面和接地平面等）的拙劣组合将导致这种尖峰。如果电源平面和接地平面的板内电容是具备高品质因素的特别低的Z，那么，高频分立式电容和该板内电容的交叉点可能出现高阻抗反谐振尖峰。如果在这个频率，FPGA有较高瞬态电流需求（作为激励信号），就会产生较高的噪声电压。仅可通过降低引起反谐振尖峰的阻抗，来改善PDS。要减缓这个问题，就必须改变高频独立式电容的特性或V_{CC}电源平面和接地平面的特性。

电容布局

电容必须接近执行去耦功能的器件。有两个基本原因：

第一，器件和去耦电容之间的间隔越宽，电流要穿过电源平面和接地平面的距离就越长，

因此，器件和电容之间的电流通道产生的电感就越高。由于这个电流通道的电感（电流从电容的V_{CC}电源侧到达FPGA 的V_{CC}电源管脚，以及从FPGA 的接地管脚到达电容的接地侧，所经过的环），与这个环的面积成一定比例，因此，降低其电感就在于缩小该环的面积。缩短器件和去耦电容之间的距离可以降低电感，从而减轻对瞬态电流的阻挠。鉴于PCB的尺寸，就电容布局而言，第二个原因比这个原因更重要。

第二个原因涉及 FPGA 噪声源和贴装电容之间的相位关系。二者的相位关系决定了电容的有效性。电容要有效地提供一定频率（例如，该电容的最优频率）的瞬态电流，电容布局必须在与该频率相关的波长的一小部分之内。电容的布局决定电容和 FPGA 之间的传输线路的长度（在本例中即为电源平面和接地平面对）。这种互连的传播延迟是相关因素。

FPGA 产生的噪声属于一定频带，不同尺寸的去耦电容适用于不同的频带。因此，根据每个电容的有效频率来决定电容布局。

当 FPGA 改变其电流需求时，会导致 PDS 电压产生轻微的局部干扰（电源平面和接地平面中的一个点）。要使去耦电容能够阻止这种干扰，该电容必须首先发现电压差。从 FPGA 电源管脚开始出现干扰到电容发现这种干扰，存在一段有限的时间延迟。这段时间延迟等于从 FPGA 电源管脚到电容的距离，除以电流通过 FR4 绝缘板（电源平面嵌入其中的 PCB 基板）的传播速度。还存在另一段相同的时延长，以补偿从电容到 FPGA 的电流。

因此，对于 FPGA 的任何瞬态电流需求，在 FPGA 得到任何缓解之前，存在一个电流到达电容的来回传输延迟。如果电容布局距离超过了有些频率的波长的四分之一，那么，传输至 FPGA 的电流将是微不足道的。

当电容布局距离降至不足波长的四分之一时，传输至 FPGA 的电流将不断提高，当距离为 0 时，FPGA 将得到全部电流。要有效地将电流从电容传输至 FPGA，电容布局必须为 FPGA 电源管脚波长的四分之一的一小部分。这部分应当非常小，因为略高于其谐振频率的频率也是电容的有效频率，而这个频率相应的波长更短。

在实际应用中，电容布局最好选择四十分之一波长。这将使电容位于其进行去耦的电源管脚的波长的四十分之一长度之内。这个波长与电容的贴装谐振频率F_{RIS}一致。

举例

0.001 µF X 7R 陶瓷芯片电容（0402 封装）

L_{IS} = 1.6 nH

$$F_{RIS} = \frac{1}{2\pi\sqrt{LC}} = \frac{1}{2\pi\sqrt{1.6\times10^{-9}\times0.001\times10^{-6}}} = 125.8\,MHz$$

等式 2 根据F_{RIS}，计算T_{RIS}，贴装谐振周期，

$$T_{RIS} = \frac{1}{F_{RIS}} = \frac{1}{125.8\times10^{6}} = 7.95\ ns$$

等式 2

等式 3 根据T_{RIS}和电流在FR4 绝缘板中的传播速度，计算波长。

$$\lambda = Wavelength = \frac{T_{RIS}}{V_{PROP}}$$

等式 3

其中：V_{PROP}＝166×10^{-2}秒/英寸

$$\lambda = \frac{T_{RIS}}{V_{PROP}} = \frac{7.95\times10^{-9}}{166\times10^{-12}} = 47.9\ inches$$

$$R_{PLACE} = \frac{\lambda}{40}$$

等式 4

$$R_{PLACE} = \frac{\lambda}{40} = \frac{47.9\ inches}{40} = 1.20\ inches$$

在本例中，有效频率等于谐振频率，可以通过等式 1 计算得到。该有效频率为 125.8 MHz。通过等式 2，计算该数值的倒数，得到谐振周期，7.95 ns。利用电流在FR4 绝缘板中的传播速度（约为 166 秒/英寸），通过等式 3 计算得到与该电容相关的波长约为 48 英寸。如等式 4 的计算结果，该值的四十分之一为 1.2 英寸。因此，这个尺寸的电容的目标布局半径（R_{PLACE}）为距其去耦的电源管脚和接地管脚 1.2 英寸（3.0 厘米）之内。

所有其他尺寸的电容也以同样的方式进行计算。以当前的 PCB 技术，并不难实现 1.2 英寸半径。不需要直接将电容置于 PCB 板另一侧的器件下方。可接受的做法是将电容贴装在器件周围，但前提条件是，要在目标半径之内。0.001 µF 电容是去耦网络中规格最小的电容之一，因此，不必实现低于 1 英寸的布局半径。对于尺寸较大的电容，由于其谐振频率较低，目标布局半径将迅速扩展。例如，一个 4.7 µF 电容可以放置到电路板的如何位置，因为其目标半径为 98 英寸，比大多数 PCB 还宽（对应的谐振频率为 1.56 MHz）。

电容布局举例

图 7 中的举例是 PCB 布线图底面，显示了电容布局。黑色实心部分和影线部分代表镀铜，红色部分代表通孔，蓝色部分代表丝网标签，紫色部分代表封装轮廓。可以看到，在图的上方中央位置，规则排列的红色通孔点就是 FPGA 区块。器件中心位置的十字形图案中没有通孔则表示位于顶部表面的该焊区的相关通孔朝角落方向穿出。

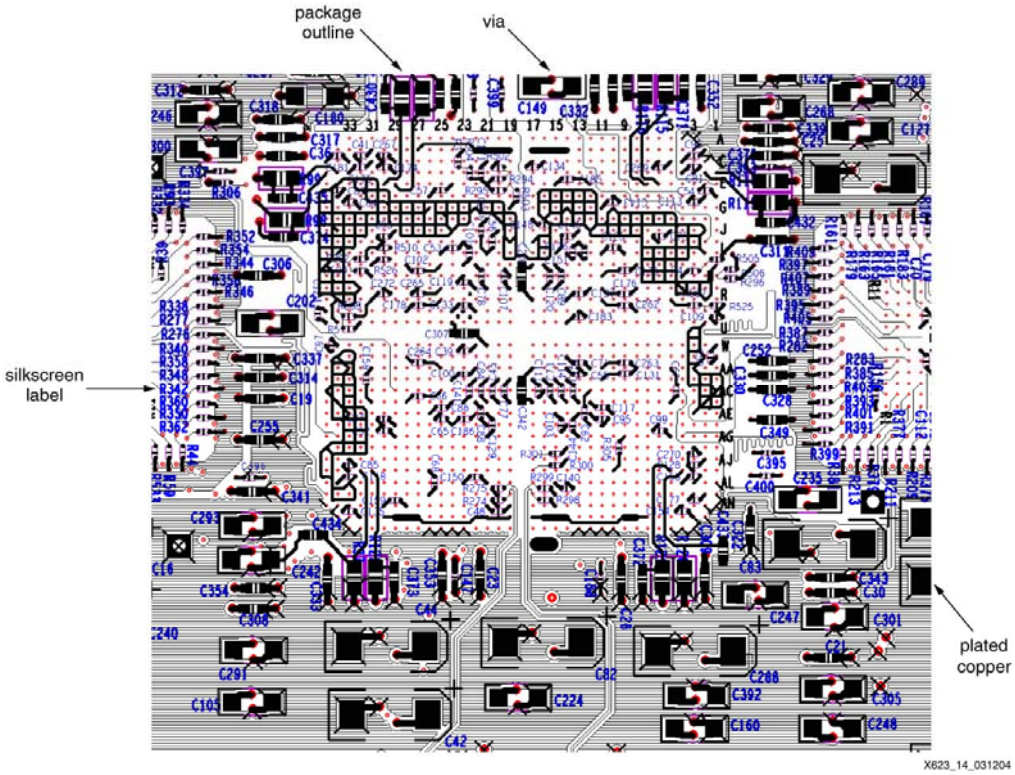


图 7：**PCB 布局举例，显示底面的电容布局**

在本例中，在电路板另一侧的 FPGA 区块内放置了许多高频 0402 封装去耦电容（C150、C117）。还有少数 0603 封装去耦电容和端接电阻（C307、R274）。较大的电容则放置在 FPGA 区块外部，并且随着尺寸的增加，距 FPGA 区块也越来越远（C247、C288）。

将电容焊区连接至通孔的迹线应尽可能短。此外，对于焊区间隔较宽的封装较大的电容（C42、C224），在焊区之间插入通孔，以降低该贴装的寄生电感。

不必将高频电容置于FPGA区块之内。完全可以接受将所有电容都置于器件的周围，但前提条件是，所有V_{CC}电源平面都有一个与之相邻的接地平面，并由厚度不足 4 密耳的绝缘板分隔开。此外，如果V_{CC}电源平面和接地平面对位于叠层的上半部（更接近器件），最好能够将电容置于电路板的顶部表面，器件周围。

如果使用了大量外部端接电阻，这些端接电阻的布局比去耦电容布局的优先级高。端接电阻应当距器件最近，然后是电容值最低的去耦电容，然后是电容值较高的去耦电容，以同心环逐渐远离器件。

PDS 设计和验证

在讨论了功率分配系统的基本运行原理之后，本部分将分步骤介绍设计和验证 PDS 的过程。

步骤 1：确定 FPGA 的重要参数

在设计第一个去耦电容网络时，基本目标是为器件使用的每一个V_{CC}电源管脚提供一个电

容。因此，必须确定每个电源的V_{CC}电源管脚的有效数量。

仅少量设计会使用FPGA上各种各样的所有资源。通过精心设计FPGA封装及其中的PDS的尺寸，合理有效地实现了充分利用晶粒。特定器件的封装上的V_{CC}电源管脚和接地管脚数量取决于FPGA的利用率要求。决定因素不是直流电源处理能力，而是瞬态电流阻抗。去耦电容要求也基于同样的因素，因而也密切地随之变化。所以，可以将每个电源的V_{CC}电源管脚数量视作该电源所需电容数量的指标。必须考虑所有电源：V_{CCINT}、V_{CCAUX}、V_{CCO}和V_{REF}。

如果使用了全部管脚，那么，仅需为每个V_{CC}电源管脚提供一个电容。如果未将V_{REF}电源管脚用于提供V_{REF}电源，则不需要对其进行去耦。相反地，必须始终对V_{CCAUX}和V_{CCINT}电源管脚进行完全去耦，即，每一个此类管脚必须始终具备一个电容。可根据I/O管脚利用率对V_{CCO}电源管脚进行保护。

按比例分配V_{CCO}电源管脚

可根据器件的技术文档（技术规格表和用户指南）中规定的同时切换输出（SSO）限制来确定该器件所使用的V_{CCO}电源管脚数量。根据这些限制，分别计算每个Bank的预算。Bank中的I/O资源利用率决定了使用量占预算的百分比。该百分比有效地代表了器件使用的V_{CCO}电源管脚的百分比。

举例：计算 XC2V3000 FF1152

分别以 Single Bank 和整个器件为例。

以 Single Bank 为例

在假设设计中，Bank 0 具备 80 个输出管脚。每个输出管脚均配置为 3.3V LVCMOS 12 mA 快速驱动器。

SSO技术规格表规定，每个V_{CC}电源管脚/接地管脚对最多可有 10 个 3.3V LVCMOS 12 mA 快速驱动器。这个器件的每个I/O Bank有 13 个V_{CCO}电源管脚，因此，每个I/O Bank最多可有 130 个这种类型的I/O驱动器。

这个 I/O Bank 使用了 80 个输出管脚。因此，已使用的 I/O 资源占存 Bank 0 的总预算的百分比为：

Bank 0 已使用资源百分比= 已用资源/最高限量 = 80/130 = 62%

以整个器件为例

在本例中，表 2 列出的一个器件的所有I/O资源利用率，以及表 3 列出的每种I/O标准在每

一I/O Bank中的SSO限量，均根据《Virtex-II平台FPGA用户指南》（参考书目＃3）中规定的每个V_{CC}电源管脚/接地管脚对的SSO限量数据计算得到。

表 2：**以整个器件为例，每个 I/O Bank 的 I/O 资源利用率**

I/O Bank	电压	I/O利用率	I/O标准
Bank 0	3.3V	80	VCMOS_12F
Bank 7	3.3V	80	LVCMOS_12F
Bank 1	1.5V	16	LVDCI
Bank 6	1.5V	16	LVDCI
Bank 2	1.8V	32	HSTL_1
		45	LVCMOS_12F
Bank 3	1.8V	32	HSTL_1
		45	LVCMOS_12F
Bank 4	1.8V	32	HSTL_1
		45	LVCMOS_12F
Bank 5	1.8V	32	HSTL_1
		45	LVCMOS_12F

表 3：**以整个器件为例，每种 I/O 标准在每一 I/O Bank 中的 SSO 限量**

I/O标准	I/O Bank SSO限量
3.3V LVCMOS_12F	130
1.5V LVDCI	130
1.8V HSTL_1	260
1.8V LVCMOS_12F	117

Bank 0、7、1 和 6 的预算按单 Bank 例中的方法计算得到。但是，Bank 2、3、4 和 5 具备两种 I/O 标准。所以，分别按每种标准计算出这些 Bank 的预算，然后将两个数据进行合并。

对于 Bank 2、3、4 和 5：

1.8V HSTL_1：

利用率（%）= 已用资源/最高限量 = 32/260 = 13%

1.8V LVCMOS_12F：

利用率（%）= 已用资源/最高限量 = 45/117 = 39%

每个 Bank 的总预算：

13% + 39% = 52%

表 4 列出了该器件的每个 Bank 的总预算。

表 4：**以整个器件为例，每个 Bank 的总预算**

I/O Bank	预算
Bank 0	62%
Bank 7	62%
Bank 1	12%
Bank 6	12%
Bank 2	52%
Bank 3	52%
Bank 4	52%
Bank 5	52%

I/O Bank中使用的V_{CCO}电源管脚数量（表 5）就是I/O Bank中的V_{CCO}电源管脚数量乘以所用的SSO预算百分比。

表 5：**使用的V_{CCO}电源管脚数量**

I/O Bank	计算公式	使用的管脚数量
Bank 0	13 个管脚 ×62%	8 个管脚
Bank 7	13 个管脚 ×62%	8 个管脚
Bank 1	13 个管脚 ×12%	2 个管脚
Bank 6	13 个管脚 ×12%	2 个管脚
Bank 2	13 个管脚 ×52%	7 个管脚
Bank 3	13 个管脚 ×52%	7 个管脚
Bank 4	13 个管脚 ×52%	7 个管脚
Bank 5	13 个管脚 ×52%	7 个管脚

步骤 2：设计一般旁路网络

通过对大量Xilinx测试板和客户设计进行分析，确定了有效的PDS设计的一些基本趋势。在利用率从 80%至 100%，电源噪声约为允许的最高电源噪声的一半（V_{RIPPLE}/2）的设计中，

一般而言，按电源情况，PDS的每个V_{CC}电源管脚应具备一个电容。在设计一般旁路网络时，以这种电容范围为基础。使用了按比例分配的V_{CCO}电源管脚数量。

假定，所需独立式电容的数量如上文所确定，必须确定如何分功率分配容值，使其总和等于该总数。为了涵盖范围广泛的频率，必须使用各种各样的电容值。高频电容和低频电容的比例是一个重要因素。

将大量电容值并联组合的目标是在从 500 kHz 到 500 MHz 的频率范围内，保持平稳的低电源阻抗。高值（低频）和低值（高频）电容都需要。通常，低值电容对总阻抗的影响较小，因此需要使用更多的低值电容，使得其对阻抗的总影响与较少数量的高值电容产生的总影响相同。

为了保持平稳的总阻抗值，防止出现反谐振尖峰，通常，每 10 倍电容值范围需要至少 1 个电容。典型的陶瓷电容值范围通常为从 0.001 µF 至 4.7 µF。电容值的精确度无关紧要。重要的是在这个范围内的每个数量级都有一些电容值。电容值越多越好，因为这样产生的总阻抗值越平稳。

产生相对平稳的阻抗的电容比率为电容值每降低 10 倍，电容数量约增加一倍。换句话说，如果去耦网络最低的 3 个值为 1.0 µF、0.1 µF 和 0.01 µF，那么该网络应具备 2 个 1.0 µF 电容、4 个 0.1 µF 电容和 8 个 0.01 µF 电容。

此外，需要钽电容、OS-CON 电容或电解电容等低频电容。这些高值电容的 ESR 通常高于陶瓷芯片电容，因此可以在更广泛的频率范围内作用，也因而不太容易产生反谐振尖峰。所以，不必严格遵循每 10 倍电容值一个电容的规则。一般而言，在从 470 µF 至 1000 µF 的范围内配置一个值就够了。

一套百分比值有助于根据电容总数计算这些比率。（表 6）

表 6：**可实现平衡的去耦网络的电容值百分比**

电容值	数量百分比	电容类型
470 µF 至 1000 µF	4%	钽电容
1.0 至 4.7 µF	14%	X7R 0805
0.1 至 0.47 µF	27%	X7R 0603
0.01 至 0.047 µF	55%	X7R 0402

对于除V_{REF}之外的每种电源，应基本保持这些比率。对于V_{REF}电源，电容值分布应为，从0.1 µF至 0.47 µF的电容和从 0.01 µF至 0.047 µF的电容各占 50%。由于V_{REF}去耦电容的主要功能是降低V_{REF}节点的阻抗，从而降低串扰耦合，所以仅需极少量的低频电源。因此，仅需 0.01 µF至 0.47 µF范围内的电容。

1.5V 电源举例

在本例中，Virtex-II器件的 1.5V电源是Bank 1 和 6 的V_{CCO}电源以及V_{CCINT}电源。这个器件有 44 个V_{CCINT}电源管脚。先前已计算出Bank 1 和 6 各使用了 2 个电源管脚。将这 44 个V_{CCINT}电源管脚加上Bank 1 和 6 使用的 4 个V_{CCO}电源管脚等于 48 个电源管脚。因此，总共应当为这个 1.5V电源配置 48 个电容。表 7 显示了如何确定每个电容值的电容数量。

表 7：**计算 1.5V 电源的电容数量举例**

电容值	计算公式	电容数量
680 µF	48 个管脚 x4%=1.92	2
2.2 µF	48 个管脚 x 14% = 6.72	7
0.47 µF	48 个管脚 x 27% = 12.6	13
0.047 µF	48 个管脚 x 55% = 26.4	26

这个计算结果是第一遍估计的这个 1.5V 电源需要的电容数量。可能需要更改电容的准确数量，以适应不同的电容值，并使电源更加均衡（例如，使用 8 个 2.2 µF 电容而不是 7 个，以实现更加符合标准的的 PCB 布局）。也可根据设计的特定限制，修改电容值（例如，早已确定的可用电容清单）。必须对每个电源重复执行这个选择电容的过程。

步骤 3：模拟

在模拟过程中，要验证这个一般去耦网络，并进行适当的精细调整。设计人员可以用不同的电容值或不同的封装进行试验，以实现满足该系统要求的最优电源阻抗组合。附件 D：《适用于 PDS 设计和模拟的 EDA 工具》中列出了由不同 EDA 制造商提供的各类 PDS 设计工具。

这个模拟电路实质上就是具备相应寄生电感的去耦电容的并联组合。模拟程序计算出相关频率范围内的总阻抗。可以利用 SPICE（请参阅附件 C：《适用于 SPICE 模型架构范例的 SPICE 模拟举例》），或者附件 D：《适用于 PDS 设计和模拟的 EDA 工具》中列出的工具之一，创建并分析其等效电路。一个更受限但很有效的方法是利用电子表格工具（例如，微

软的 Excel 工具）显示阻抗的构成。

请注意，这类型集中式RLC电路模拟不能反映PCB叠层中的V_{CC}电源平面和接地平面的分布式RLC电路属性。通常在 500 MHz频率范围开始显示出这些平面结构的效果，并且取决于平面的几何形状（如长度和宽度）。如果不使用分布式模型，诸如Speed2000、SIwave、Specctraquest的电源完整性（Power Integrity）或者全网状RLC电路SPICE模拟等工具提供的模型，则很难进行预测。因此，不应根据在高于 500 MHz的频率范围内执行的集中式RLC电路模拟的结果，做出任何结论。

在使用其中任何工具模拟旁路网络时，必须采用准确的寄生效应值。向电容制造商索要或通过内部测试获得准确的自寄生效应数据非常重要。还应考虑到旁路电容和FPGA之间的通道产生的贴装寄生效应。这些寄生效应串联起来，使贴装电容产生了寄生电阻和寄生电感。关于贴装电感的部分详细介绍了贴装模型。附件B：《计算通孔电感》列出了通孔寄生电感的计算等式。可以利用电磁场解算器，如Ansoft公司的HFSS，可以得到特定几何形状的更加准确的电感值。对于下列模拟，每个电容的自寄生电感加上 0.8 nH至 0.9 nH的贴装电感值，得到总寄生电感值L_{IS}。这个参数反映了在约 60 密耳厚的电路板中贴装的较小电容产生的电感。如果电路板叠层越厚，相应的通孔电感就越高。

图 8 是这些电容并联组合模拟产生的阻抗简图，其中考虑了这些电容的寄生效应和PCB电路板的近似寄生效应。附件C：《SPICE模拟举例》包括一个等效的SPICE网表。表 8 列出了模拟中使用的电容数量、电容值和寄生效应值。未考虑PCB电路板的V_{CC}电源平面和接地平面的RLC电路属性。

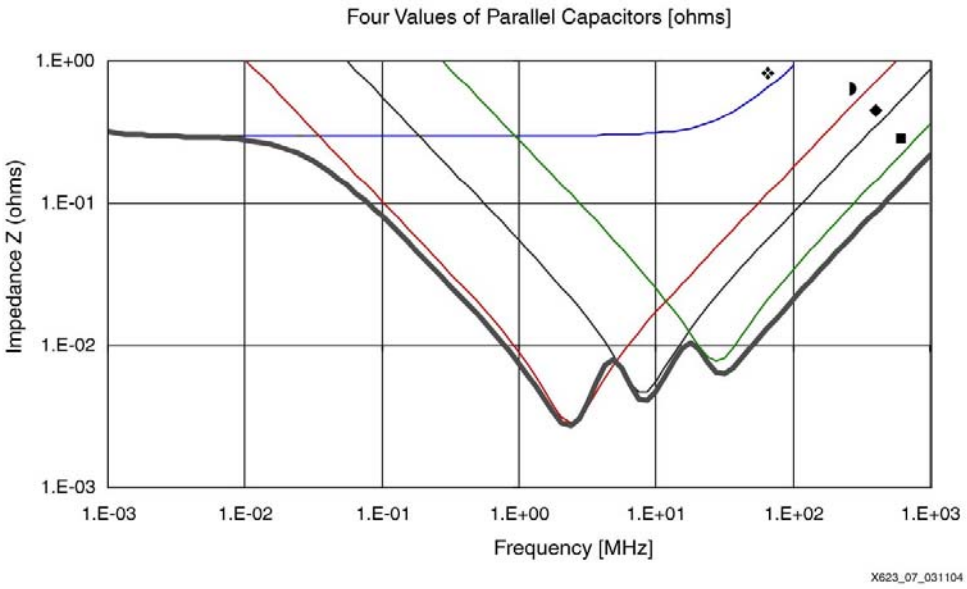


图 8：**PDS 阻抗与频率关系图**

表 8：计算图 **8** 中的阻抗所使用的参数值

电容数量	符号	封装	电容值（μF）	寄生电感（nH）	寄生电阻（欧姆）
2	v	E	680	2.8	0.57
7	w	0805	2.2	2.0	0.02
13	u	0603	0.22	1.8	0.06
26	n	0402	0.022	1.5	0.20

这种电容组合是一个良好的开端。在从 500 KHz 至 150 MHz 的频率范围内，阻抗低于 0.033 欧姆，当频率达到 500 MHz 时，阻抗增至 0.11 欧姆。在这个范围内，没有出现显著的反谐振尖峰。电路板设计使用了这些电容。

步骤 4：完成设计

在这个阶段，在 PCB 电路板上完成经过模拟验证的最终电容网络布局。电路板制作完毕。关于详细的布局详细，请参阅前面关于电容布局和焊区几何形状的部分。

步骤 5：测量性能

在性能测量阶段，通过测量来判断该 PDS 是否适用于由其提供电源的器件。判断一个旁路

网络是否适用于特定设计相对简单。借助一个高带宽示波器（至少为 1 GHz 示波器和 1 GHz 探针），对以真实的测试模式运行的设计执行测量。

噪声大小测量

直接在器件的电源管脚上进行测量，或者穿过一对未使用的I/O管脚（一个高电平驱动，一个低电品驱动）执行测量。V_{CCINT}和V_{CCAUX}仅可在PCB电路板背面的通孔上测量。V_{CCO}也可通过这种方式测量，但在同一I/O Bank 内未使用的I/O管脚测量固定信号可以得到更加准确的数据。

在电路板背面材料噪声时，有必要考虑测量点和 FPGA 之间的通道中的通孔的寄生效应，因为，示波器不能测量出这个通道中发生的电压降低情况。

测量背面通孔也可能存在缺陷。许多时候，去耦电容是直接贴装到器件下方的，也就是说，电容焊区可能通过表面迹线直接连接至这些V_{CC}电源通孔和接地通孔。这些电容可能影响测量，因为这些电容的作用就像高频交流电流短路。为了防止这些电容影响测量，可以拆卸测量点上的电容。

在测量V_{CCO}电源噪声时，可以在配置为逻辑门 1 和逻辑门 0 的强驱动器的一对I/O管脚进行测量。如果执行正确，这种技术还可测量出晶片噪声。

通过以驱动逻辑门 0 为基准测量驱动逻辑门 1，可以得知该晶粒的“轨道塌陷噪声”（rail collapse）程度。通过以PCB接地管脚为基准测量驱动逻辑门 0，可以得知相对于PCB PDS，该晶粒上的接地反弹量。由于该器件的晶粒级和封装级的接地管脚是通用的（千兆位级收发器（MGT）模拟地（AGND）除外），所以，在未使用的I/O管脚测得的接地反弹可以代表所有电源的接地反弹。另一方面，测量的“轨道塌陷噪声”（rail collapse）仅适用于V_{CCO}电源。

为了执行这些测量，示波器必须设置为“无限保持(Infinite persistence)”模式，以测量较长时间段（几秒或几分钟）的噪声情况。如果该设计可以利用不同量的不同资源，在多种模式下运行，那么应当用示波器测量这些不同条件和模式下的噪声。应当在FPGA上的几个不同的V_{CC}/接地管脚对上测量噪声，以消除局部噪声现象的影响。

图 9 显示了在样本设计的V_{CCINT}电源管脚测量的即时噪声。图 10 显示了在同一设计上测量的无限保持噪声。由于测量无限保持噪声是测量在一段较长的时间段内发生的所有噪声事件，所以这种测量结果更有意义。

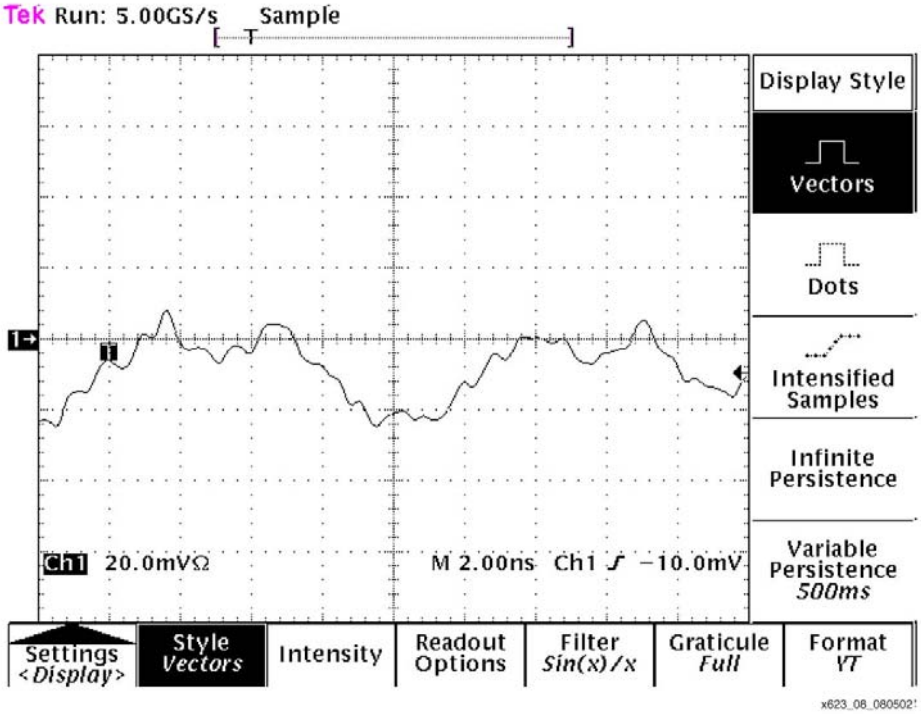


图 9：测量V_{CCO}电源的即时噪声，在频率为 **100 MHz**的多种**I/O**发射模式下

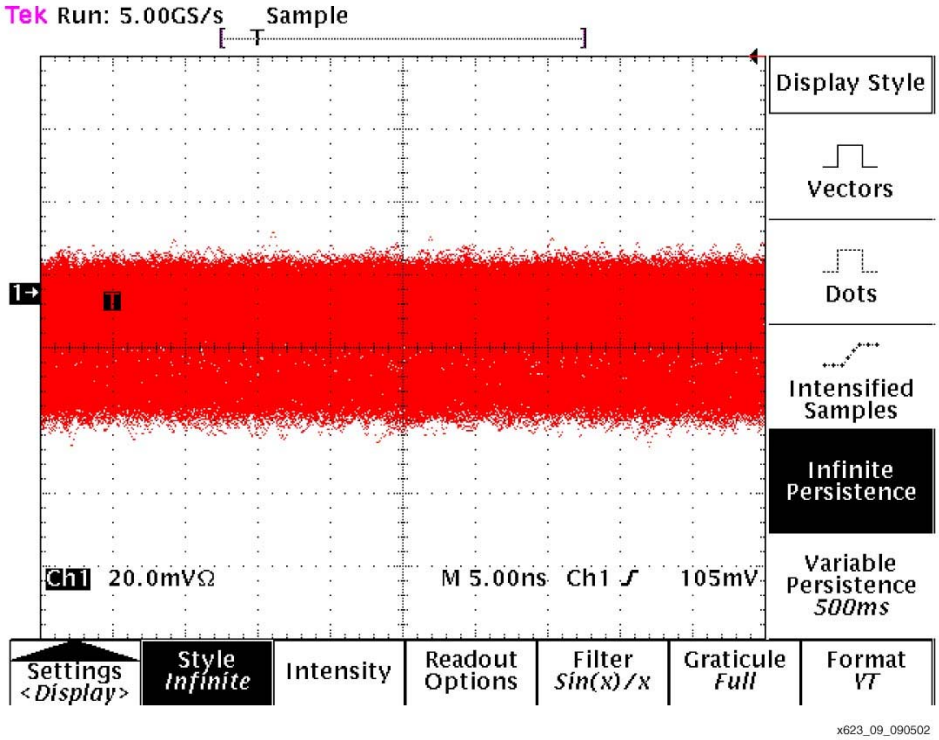


图 10：测量同一电源的无限保持噪声

这种方法测得的噪声是峰间噪声。如果该噪声高于或等于技术规格表中列出的最高V_{CC}波纹电压（V_{CC}的 10%），那么这个旁路网络就是不适用的。该特定电源（额定值为 1.5V DC）允许的最高电压波纹为其额定值的 10%，即 150mV。示波器快照显示，噪声在 60 mV范围内。就这个测量而言，显然，这个去耦网络是适用的。

然而，如果测量表明噪声高于V_{CC}的 10%，那么该PDS就是不适用的。要得到一个有效、强健的设计，必须对该PDS进行修改。更多电容、不同的电容值或者不同数量的各类去耦电容值都可以降低噪声。

有了改善这个去耦网络的必要信息后，需要采取相应的措施。特别地，有必要测量噪声功率谱，以确定噪声发生的频率。有多种方法可以完成测量。频谱分析仪和支持快速傅立叶变换（FFT）算法的示波器都很有效。或者，可以用示波器测量一组较长的连续的时间域数据，并利用 MATLAB 或其他支持快速傅立叶变换（FFT）算法的软件将其转换为频率域数据。也可以通过观察时间域波形和测量噪声中出现的独立周期，大致了解该噪声的频率情况。

噪声频率管理

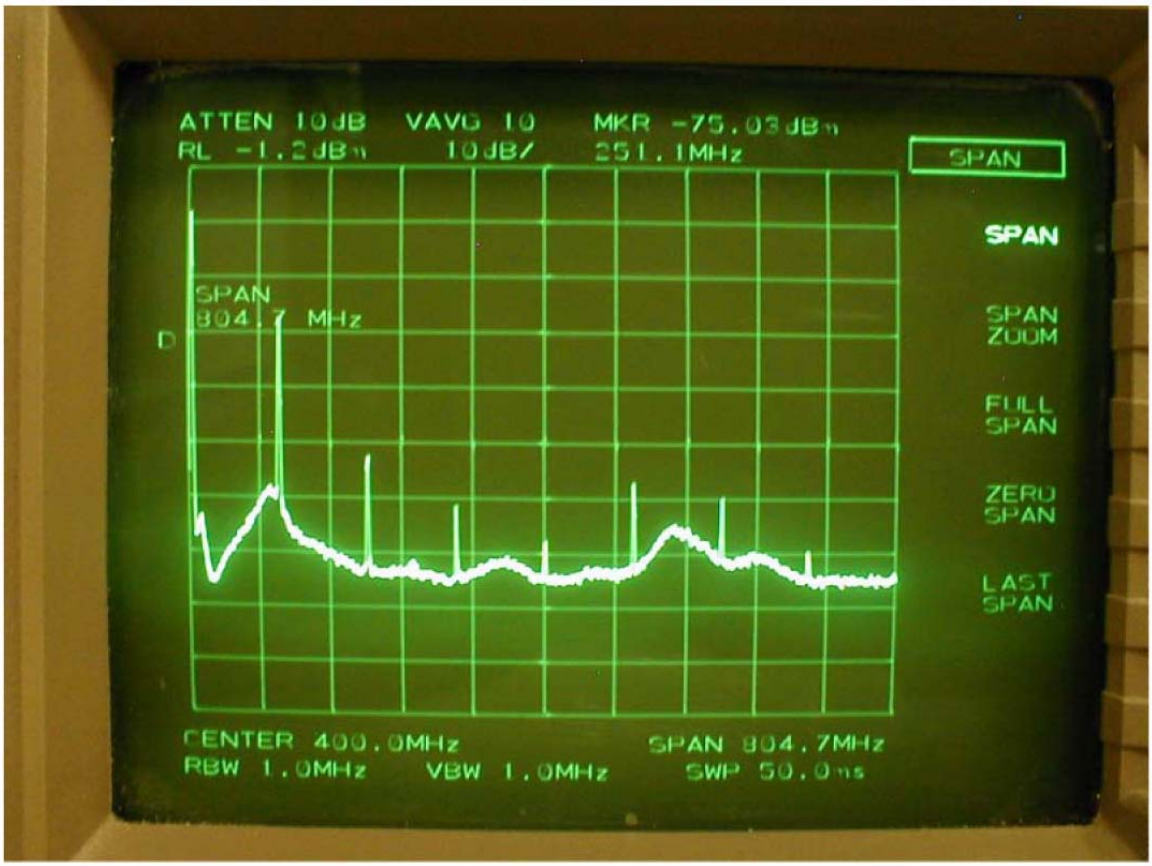
频谱分析仪是频率域仪器。可以显示电压信号在输入管脚的频率情况。用于测量不适用的 PDS 时，用户可以准确地看到 PDS 在哪个频率上不适用。在某一频率出现大量噪声即表示在该频率上，PDS 阻抗过高，不能满足器件的瞬态电流需求。得到这个信息后，设计人员可以修改 PDS 以适应在该特定频率出现的瞬态电流要求。既可以增加谐振频率接近该噪声频率的电容，也可通过其他手段降低 PDS 在该临界频率的阻抗。

进行噪声频率管理的位置应当与峰间噪声管理相同——直接在器件下方或者一对未使用的 I/O 管脚（高电平驱动和低电平驱动）。通过一根 50 欧姆电缆，将频谱分析仪连接至电路板，而不是像示波器那样通过有源探针。用电缆连接频谱分析仪的最佳方法之一是利用一个 SMA 连接器，将电缆接入器件附近的电源平面和接地平面。但是在大多数情况下，这个方法不可用。另一个方法连接测量电源平面噪声的电缆的方法是拆卸器件附近的去耦电容，将电缆的中心线和屏蔽层直接焊接到电容的焊区。或者，可以使用探针台。

在大多数情况下，可以检测出在各种固定频率存在截然不同的噪声频带。这些噪声频带与时钟频率及其谐波相对应。每个频带的高度代表其相对功率。其中大部分功率通常集中在 3、4 个谐波周围的紧密的频带中，随着频率的提高，功率迅速下降。

图 11 是噪声频率管理的举例。这是一台频谱分析仪在频率为 150 MHz的多种I/O发射模式

下，测量V_{CCO}管脚的电源噪声的屏幕快照。



x623_10_080502

图 11：**频谱分析仪测量V_{CCO}管脚的屏幕快照**

噪声频带对应于 PDS 未能满足 FPGA 的电流需求的频率。这可能是因为系统的总电容值不足或者虽然总电容值充足，但将电容与 FPGA 相分离的通道产生的寄生电感太高。不论是什么原因，在该频率产生的电源阻抗都太高了。与之相反，在噪声很低或没有噪声的频率，电源阻抗可能低于要求的值。为了解决这些问题，必须修改旁路网络。应当选择新的电容值，或者按原有电容值选择不同数量的电容。

步骤 6：优化旁路网络设计（可选）

如果需要高度优化的 PDS，可以采取进一步措施，设计一个精心定制的去耦网络。可借助网络分析仪来测量一个 PDS 原型的阻抗构成，测量结果类似于在模拟部分讨论的阻抗构成。该网络分析仪在多种频率下扫描了瞬态电流，并测量在每个频率下的 PDS 阻抗。测得的阻抗是频率的函数。

由于频谱分析仪的测量结果为电压是频率的函数，因此，可以将这两种测量合并起来，可以得到瞬态电流的频率函数。

$$I(f) = \frac{\text{频谱分析仪测得的 } V(f)}{\text{网络分析仪测得的 } Z(f)}$$

在理解了设计的瞬态电流要求后，设计人员可以做出更明智的 PDS 选择。根据技术规格表中规定的最高电压波纹值，可以确定在所有频率下需要的阻抗值。从而得到目标阻抗的频率函数。在这种条件下，就可以设计出能够满足特定设计的瞬态电流需求的电容网络。

第 6 个步骤介绍了一种设计和验证功率分配系统的闭环方法，可确保得到适用于任何设计的 PDS。

其他问题及原因

如果按部就班地遵循这个方法设计出的 PDS 未能达到要求的噪声技术规格，那么应当分析该系统的其他方面，以进行可能的修改。

可能性 1：电路板上的其他器件产生了大量噪声

通常，电路板上的许多器件会共享接地平面和/或电源平面，在这种情况下，去耦不充分的器件产生的噪声将影响其他器件的 PDS。由于周期性临时争用和高电流驱动器而导致 RAM 接口具备内在的高瞬态电流需求是一个常见的原因；大型微处理器是另一个原因。如果在这些器件上测得的本地噪声量超出可接受范围，那么，应当对该元件的本地 PDS 和去耦网络进行分析。

可能性 2：平面、通孔或连接迹线的寄生电感

在这种情况下，旁路网络具备足够的电容，但是，电容与 FPGA 之间的通道产生的电感过高。这可能是因为选择的连接迹线或焊区的几何形状不适当、电容与 FPGA 之间的通道太长、和/或电源通孔中的电流通道需要穿过特别厚的叠层。

如果连接迹线和电容焊区的几何形状不适当，必须注意电流通道的环路电感。如果旁路电容的通孔与电路板上的电容焊区相隔了几毫米，那么，电流环路区域就超出了需要（图 6a）。通孔应当平接至电容焊区（图 6b）。切勿将通孔连接至包含部分迹线的焊区（图 6a）。其他改善焊区几何形状的方法是在连接盘中导通孔（通孔实际位于焊区下方）（无图），和在连接盘侧导通孔（通孔不在焊区末端而是跨越焊区）（图 6c）。采用双倍通孔可以进一步改善焊区的几何形状（图 6d）。

如果平面中的电流通道产生的电感太高，那么可以改变两个参数：电流通道的长度和平面

的扩散电感。

电容布局决定了电流通道。必须将电容置于该电容对应的器件上的电源/接地管脚对附近的位置。由于已经审慎地选择了具备低寄生电感的电容，所以这一点对于网络中最低值的电容尤其重要。通过一段高电感通道将低电感、高频电容连接至器件是没有用的。电容值较高的电容固有的寄生电感也较高，因此其是否接近器件不那么重要。

平面的扩散电感由平面间隔以及平面之间的绝缘材料的介电常数决定。请参阅“平面电感”部分。

如果电路板特别厚（超过 90 密耳或 2.3 毫米），通孔的寄生电感会更高。在这种情况下，应当考虑对设计做出下列修改。首先，将V_{CC}电源/接地平面夹层板朝FPGA所在的顶部表面挪近。其次，将频率最高的电容置于顶部表面。这两种改变合起来可以机爱女嘎的相关电流通道的寄生电感。

可能性 3：PCB 板中的 I/O 信号强度超过需要

如果在对PDS进行了精细调整之后，V_{CCO} PDS中的噪声仍旧太高，那么可以降低I/O接口功率。可以同时降低FPGA的输入和输出信号功率。在有些情况下， FPGA的输入信号功率过高会对I/O模块中的钳位二极管产生反偏压。这会使V_{CCO}电源产生大量噪声。如果出现了这种情况，就应当降低这些接口的驱动电平，或者应当进行端接（在输入和输出通道上）。

可能性 4：I/O 信号反向电流经过次优通道

I/O 信号反向电流会导致 PDS 产生大量噪声。对于器件向 PCB 发射（并最终进入另一个器件）的每个信号，都会有一个从 PCB 返回该器件的电源/接地系统的等量的反向电流。如果没有可用的低阻抗反向电流通道，那么，将使用一个次优的阻抗较高的通道。在这种情况下，电压变化将在 PDS 产生感应效应。

可以通过确保向每个信号提供一个位置接近、完整无缺的反向通道来改善这种情况。可能需要采取各种策略，包括仅限少量布线层可用于传输信号，向参考平面之间传输的交流电提供低阻抗通道（在 PCB 电路板的特定位置安装去耦电容）。

结论

本应用指南概述了功率分配系统的几个重要原理，并分步骤介绍了 PDS 的设计过程。在这个 PDS 设计方法中要反复执行几个步骤。首先，设计人员要创建一个一般网络，然后进行模拟和精细调整，继而进行测量，然后根据测量结果再次进行精细调整。如果这种方法无

法得到可接受的 PDS，那么就要检查导致问题的其他可能原因。通过这种方法，可以解决 PDS 存在的所有问题。

参考书目

1. Xilinx公司，《RocketIO收发器用户指南》UG024
2. Larry D. Smith 著《计算面向 CMOS 电路的去耦电容》，1984 年 11 月电子封装的电气性能（EPEP）大会会刊
3. Xilinx公司，《Virtex-II平台FPGA用户指南》UG002
4. Frederick W. Grover 博士著《计算电感：实用公式和表》，1946 年 D. Van Nostrand 公司出版，地址：250 Fourth Avenue New York。

附件 A：词汇表

焊区：PCB 电路板表面曝露的一部分金属，用于焊接表面安装式器件。

网络分析仪：用于测量电子网络的频率域特性的仪器。通常利用网络分析仪来测量功率分配系统的电气特性。

示波器：用于显示信号的时间域电压的仪器。电源噪声是确定电源的噪声电压大小时测得的信号。

夹层板：PCB 叠层中的一对平面，仅用绝缘材料进行隔离，中间没有信号层。在大多数情况下，其中一个平面处于地电位，而另一个平面则传输电源。也称为内埋电容。

频谱分析仪：用于测量信号的频率构成的仪器。电源噪声是确定功率分配系统的特性时测得的信号。

叠层：PCB 电路板中的一系列层通常称作叠层。多层电路板由交替的信号布线层或平面金属和绝缘材料构成。绝缘材料也用作结构基板。

通孔：PCB 电路板中的垂直连接通道，通常由在 PCB 上钻一个穿孔，并用传导材料电镀孔壁形成。通孔实现了 PCB 不同层之间的电气连接。如果通孔位于信号通道内，则会产生阻抗不连续性；如果通孔位于功率分配通道内，则会产生更多寄生电感，这两种情况都是不希望发生的。寄生电感计算公式请参阅附件 B：《计算通孔电感》。

电压波纹：电源噪声通常称为电压波纹。最高电压波纹相当于一个部件的最高绝对额定值允许的最高电源变化量。

附件 B：计算通孔电感

通孔电感是导致电容贴装产生寄生电感的主要原因。通孔的尺寸基本决定了其寄生电感。Grover 博士提出的等式 5（参考书目＃4）可用于根据通孔的长度和直径，计算正在传输信号的通孔的自感应。尺寸单位为英寸和毫微亨。

$$L = 5.08 \times h \times \left[\ln\left(\frac{4 \times h}{d}\right) - 0.75\right]$$

等式 5

举例

要计算从电路板底部表面穿至电路板顶部表面的通孔的电感，可将电路板成品厚度作为通孔的长度：电路板成品厚度为 62 密耳，通孔直径为 3 密耳。1000 密耳为 1 英寸。

h = 0.062 in
d = 0.003 in

$$L = 5.08 \times h \times \left[\ln\left(\frac{4 \times h}{d}\right) - 0.75\right]$$

$$L = 5.08 \times 0.062 \times \left[\ln\left(\frac{4 \times 0.062}{0.003}\right) - 0.75\right]$$

L = 5.08 x 0.062 x 3.67 nH

L = 1.15 nH

这个计算结果就是一个信号通孔的自感应。自感应只是该通孔所属电流环路所产生的总电感的一部分。由于传输相反电流的通孔（电源通孔和接地通孔）之间的互感对总电感有一定的影响，因此如果希望得到更准确的电感值，还应考虑这种互感。相邻的互补通孔之间的互感可略微降低总电感。

附件 C：SPICE 模拟举例

这个附件演示了 SPICE 中用于模拟去耦电容网络的方法。这里讨论的是 HSPICE 技术。也可使用其他 SPICE 工具或专用 PDS 模拟软件。下面例举的模拟仅用于演示目的。模拟程序的详细信息不在讨论范围内，请读者自己查找。图 12 为 HSPICE 模拟结果。图 13 为图示。

执行电容网络代表了一个由 18 个电容组成的网络的电容值和寄生效应。一般的电容阵列电阻计算步骤如下：

1. 制作 L-C-R（电感－电容－电阻）网络的网表
2. 弄清输入节点和输出节点的位置
3. 向输入端口发射交流激励信号
4. 对 L-C-R 网络进行交流电流分析
5. 测量输入电流以及输入交流电压
6. 代入公式 Z = V/I
7. 利用对数标尺，将计算结果绘制成图表，以便于查看

在这个计算中，交流激励信号设置为 1A。交流分析指令在一组规定的频率点扫描了一个交流电流的波形。后面所附 HSPICE 网表中有关于每 10 倍频率的频率点数量的注释。当交流电流大小设置为 1A 时，可以利用 Z = V/I 公式计算出阻抗。因此，V 就是主要的计算变量——电容阵列正节点的电压。

SPICE 模型架构的另外两个补充细节是：

1. 有一个接地的直流偏压电阻
2. 有一个较小的输入电阻将交流电源连接至 L-C-R 网络（可选项第 1 项是缩短模拟时间所

必需的。可使 SPICE 在进行交流分析之前，迅速计算出电路的操作点。方法是向 SPICE 提供一个连接至 L-C-R 网络的直流通道（通过偏压电阻接地）。第 2 项是一个便利的可选项。提供了一个用于监视 L-C-R 网络的输入电流的组件。

如需查看HSPICE模拟的阻抗结果，可以执行“.net”指令，使HSPICE计算Z_{IN}，直接制图。

HSPICE 网表

单击下面的 Xilinx FTP 链接，可以查看 HSPICE 网表：

http://www.xilinx.com/cn/bvdocs/appnotes/xapp623.zip

HSPICE 结果

图 12 显示了HSPICE结果：Z_{IN}（MAG）利用AWAVES图形浏览器。

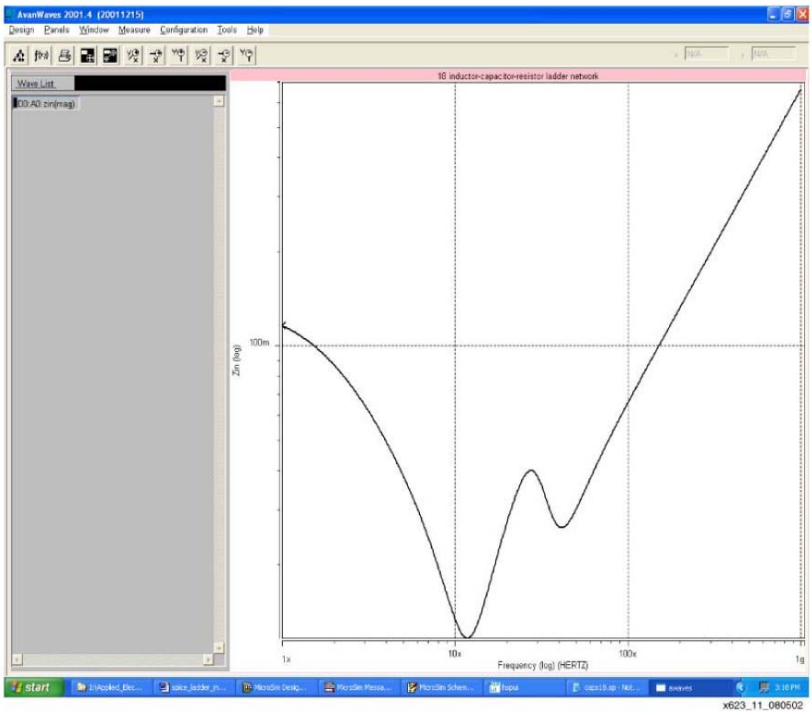


图 12：**HSPICE 结果**

电路原理图

图 13 显示了一个电容阵列及相应的寄生电感和电阻。

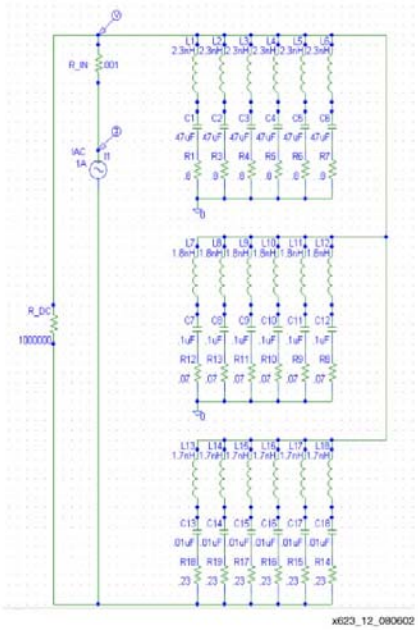


图 13：**电路原理图**

附件 D：适用于 PDS 设计和模拟的 EDA 工具

表 9 列出了适用于 PDS 设计和模拟的 EDA 工具的部分制造商。

表 9：**适用于 PDS 设计和模拟的 EDA 工具**

工具名称	制造商	网址
SIwave	Ansoft	http://www.ansoft.com
Specctraquest 功率完整性（Power Integrity）	Cadence	http://www.cadence.com
Speed 2000	Sigrity	http://www.sigrity.com
Star HSPICE	Synopsys	http://www.synopsys.com
UCADESR3.exe	UltraCAD	http://www.ultracad.com