



8.2 可编程通用阵列逻辑 (GAL)



8.2.0 可编程阵列逻辑器件(PAL)简介

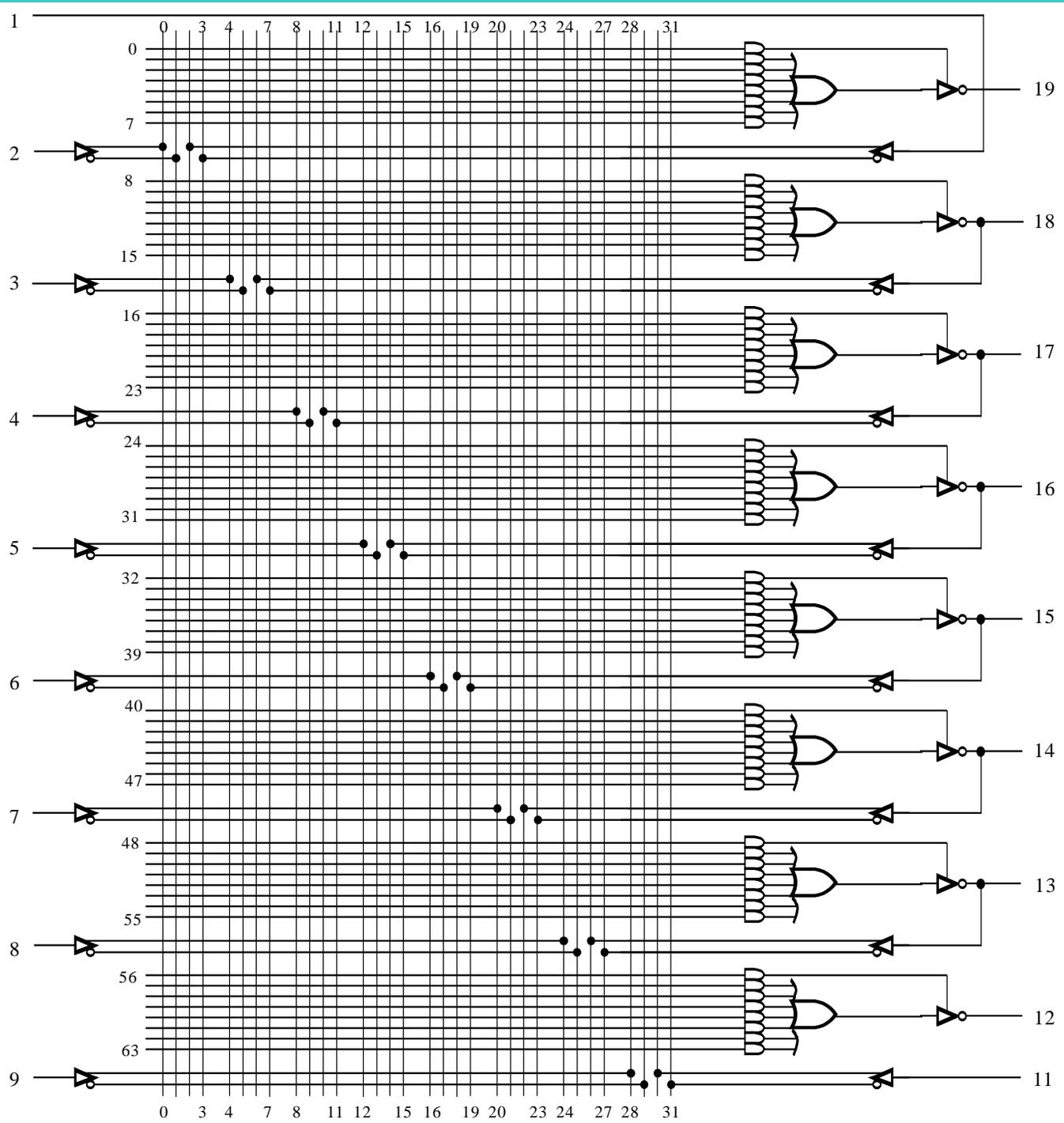
8.2.1 GAL器件的基本结构

8.2.2 输出逻辑宏单元OLMC

6.4.3 GAL的编程应用

8.2.0

1. PAL结构



HOME

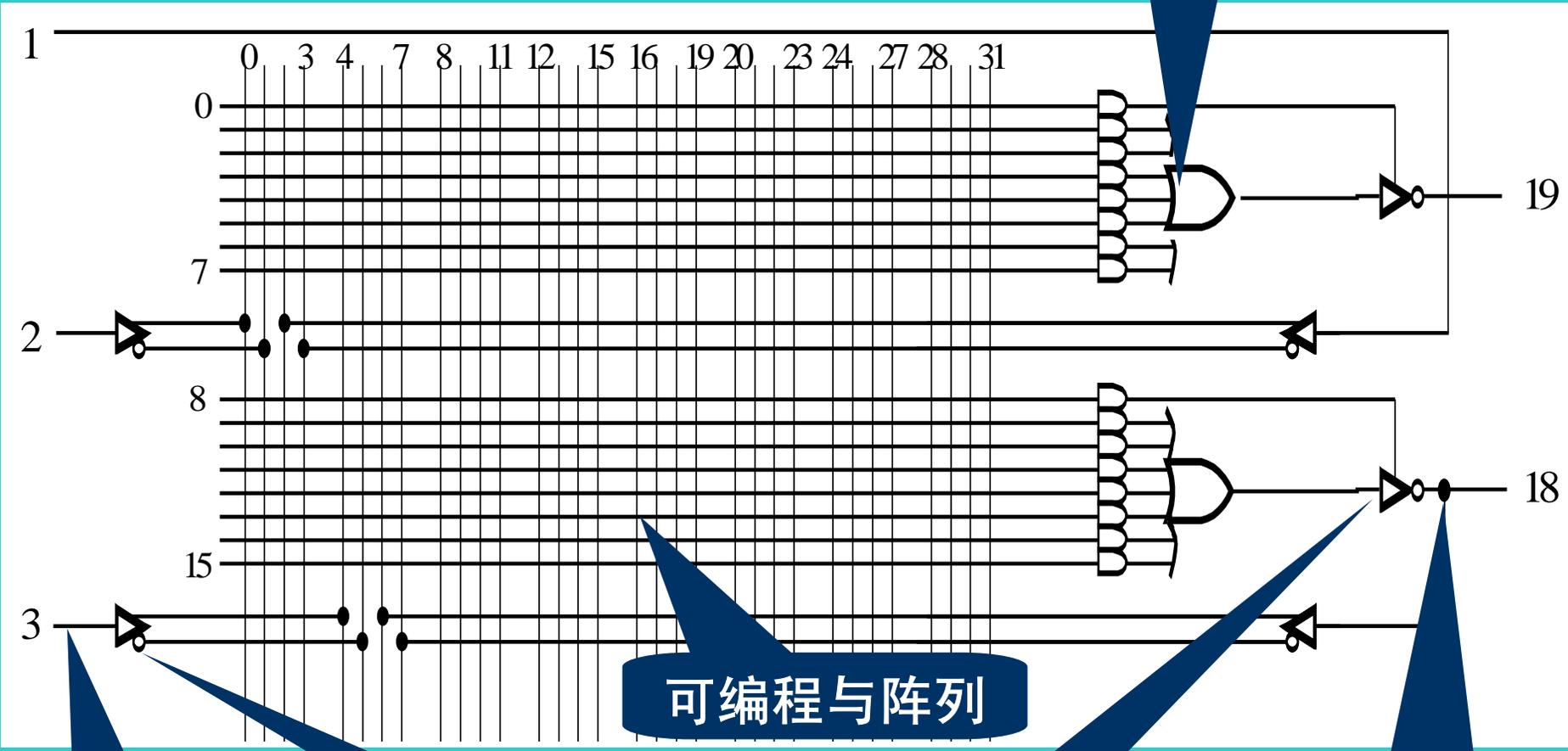
NEXT

8.2.0 可编程阵列逻辑器件(PAL)简介



1. PAL结构

或门不可编程



可编程与阵列

输入端

输入缓冲器

输出三态门

输入/输出端

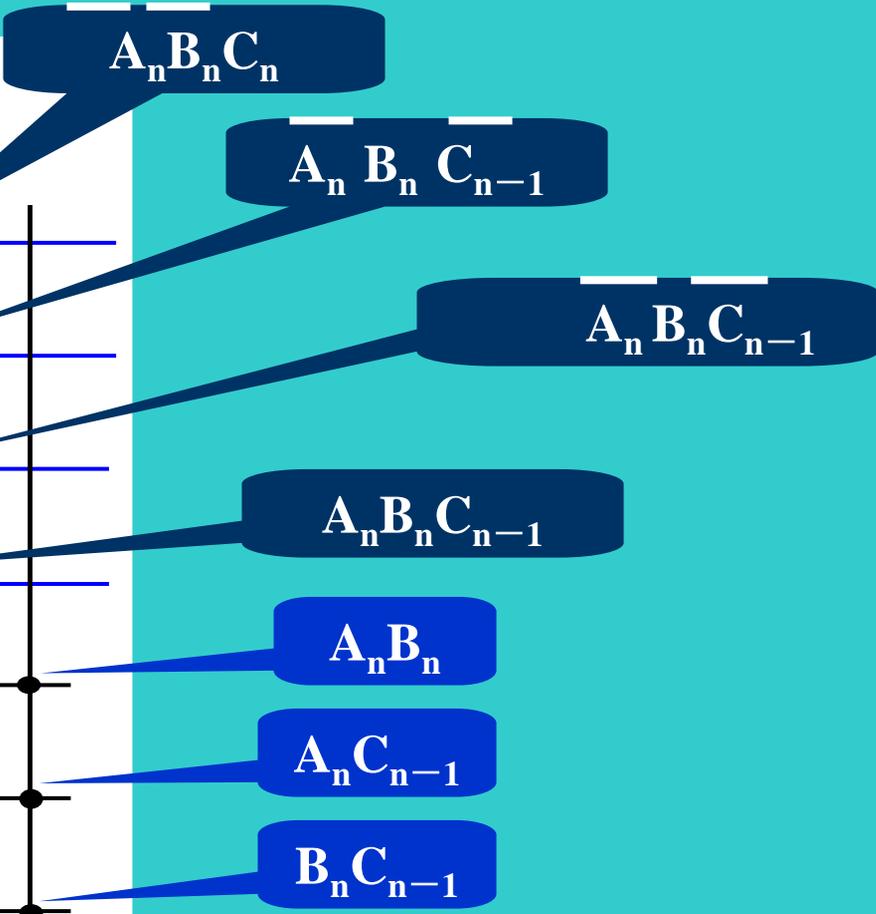
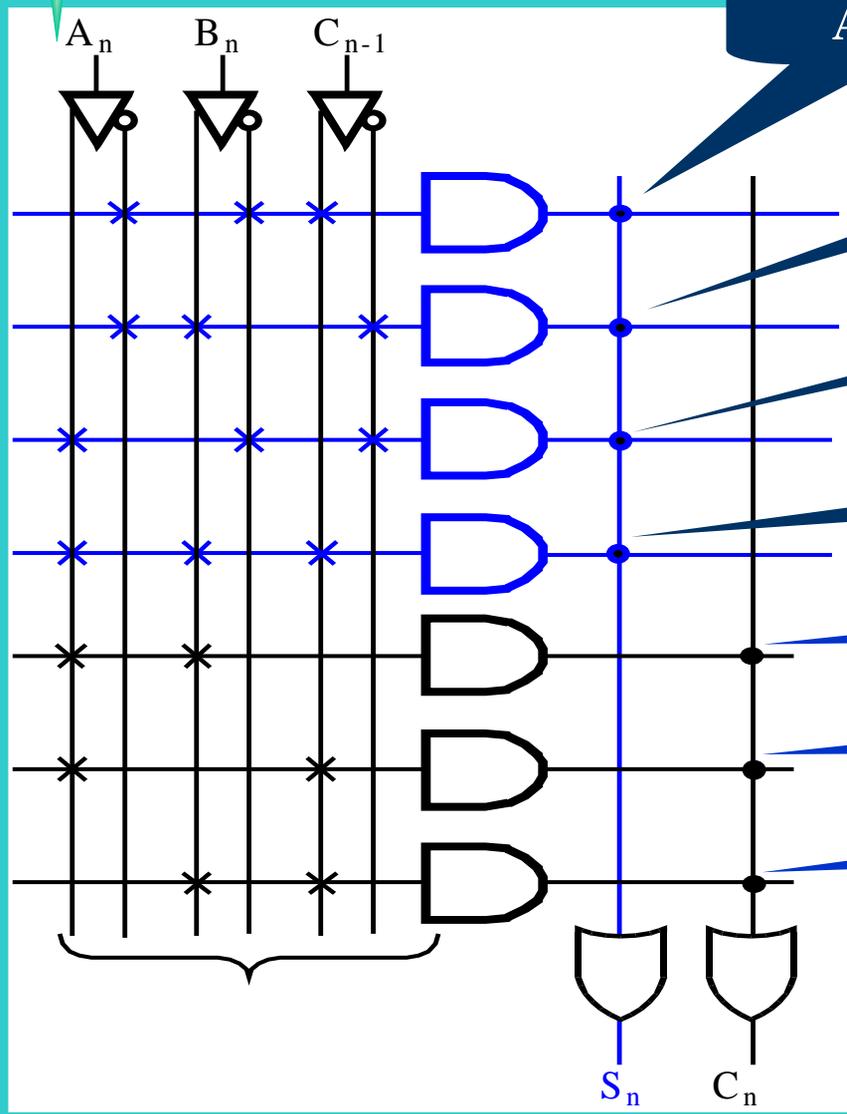
HOME

BACK NEXT

8.2.0 可编程阵列逻辑器件 (PAL) 简介



2. PAL实现全加器逻辑函数



$$S_n = \overline{A_n} \overline{B_n} C_{n-1} + \overline{A_n} B_n \overline{C_{n-1}} + A_n \overline{B_n} \overline{C_{n-1}} + A_n B_n C_{n-1}$$
$$C_n = A_n B_n + A_n C_{n-1} + B_n C_{n-1}$$



3. PAL器件的命名

<i>PAL</i>	<i>C</i>	<i>16</i>	<i>R</i>	<i>8</i>	<i>XXXXX</i>
(1)	(2)	(3)	(4)	(5)	(6)

- (1) 生产厂家对PAL器件的命名，前面一般还有厂家的标志；
- (2) 代表制造工艺：空白代表TTL，C代表CMOS；
- (3) 代表PAL器件的最大阵列输入数；
- (4) 代表输出电路类型。
- (5) 代表最大的组合输出端数目或最大的寄存器数目。
- (6) 表示器件功耗级别、速度等级，封装形式等信息。



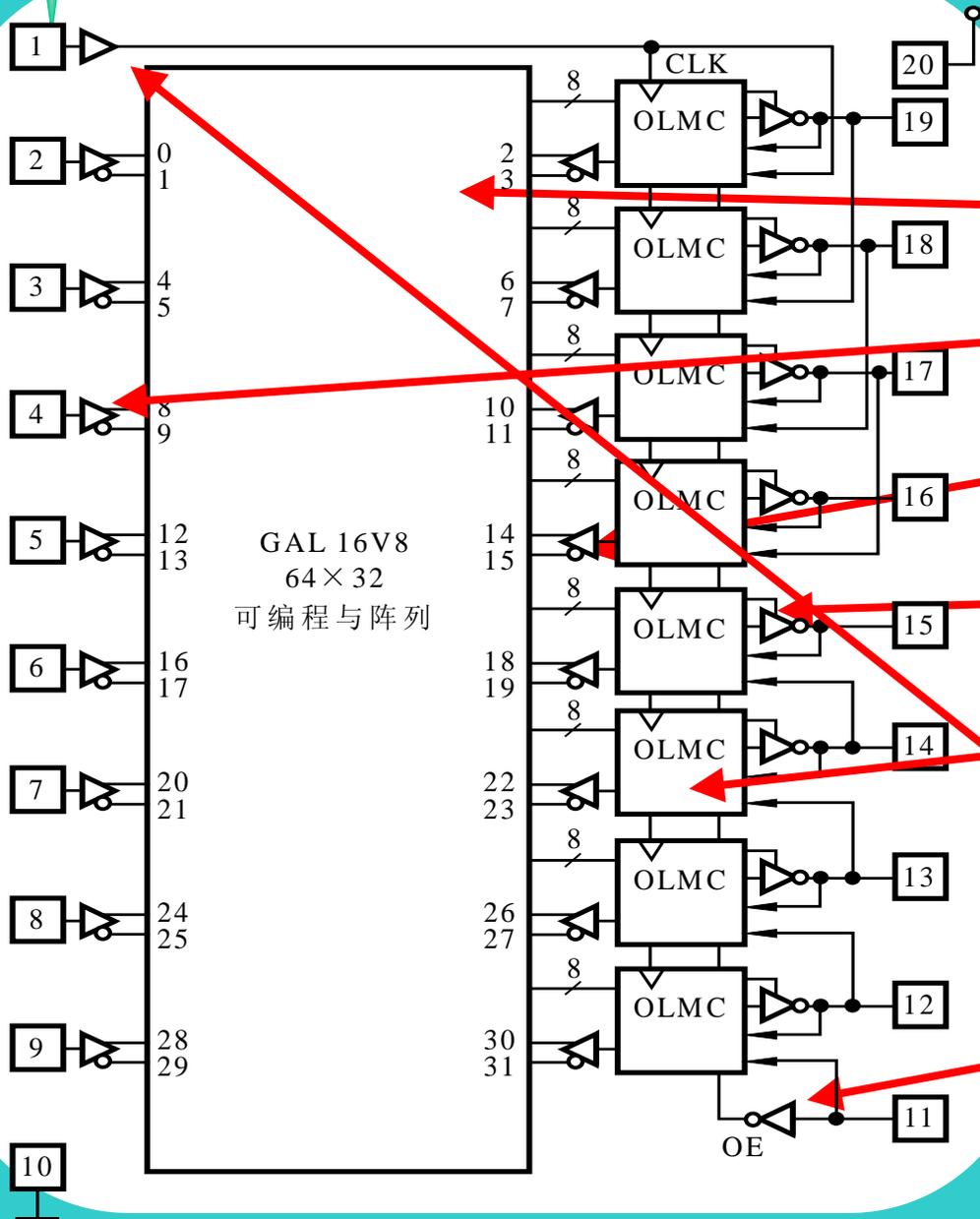
表 1 PAL 器件的输出电路类型

代号	意 义	例 子
H	高电平输出 (Active-High Output)	PAL10H8
L	低电平输出 (Active-Low Output)	PAL16L8
P	输出极性可编程 (Programmable Output Polarity)	PAL16P8
C	互补式输出 (Complementary Output)	PAL16C1
X	带异或门输出 (Exclusive-OR Gate)	PAL20×10
R	带寄存器输出 (Registered Output)	PAL16R8
RP	输出极性可编程且带寄存器的输出 (Registered with Programmable Proarity)	PAL16RP8
RA	带有非同步的寄存器输出 (Registered Asynchronous)	PAL16RA8

在PAL基础上增加触发器构成GAL;

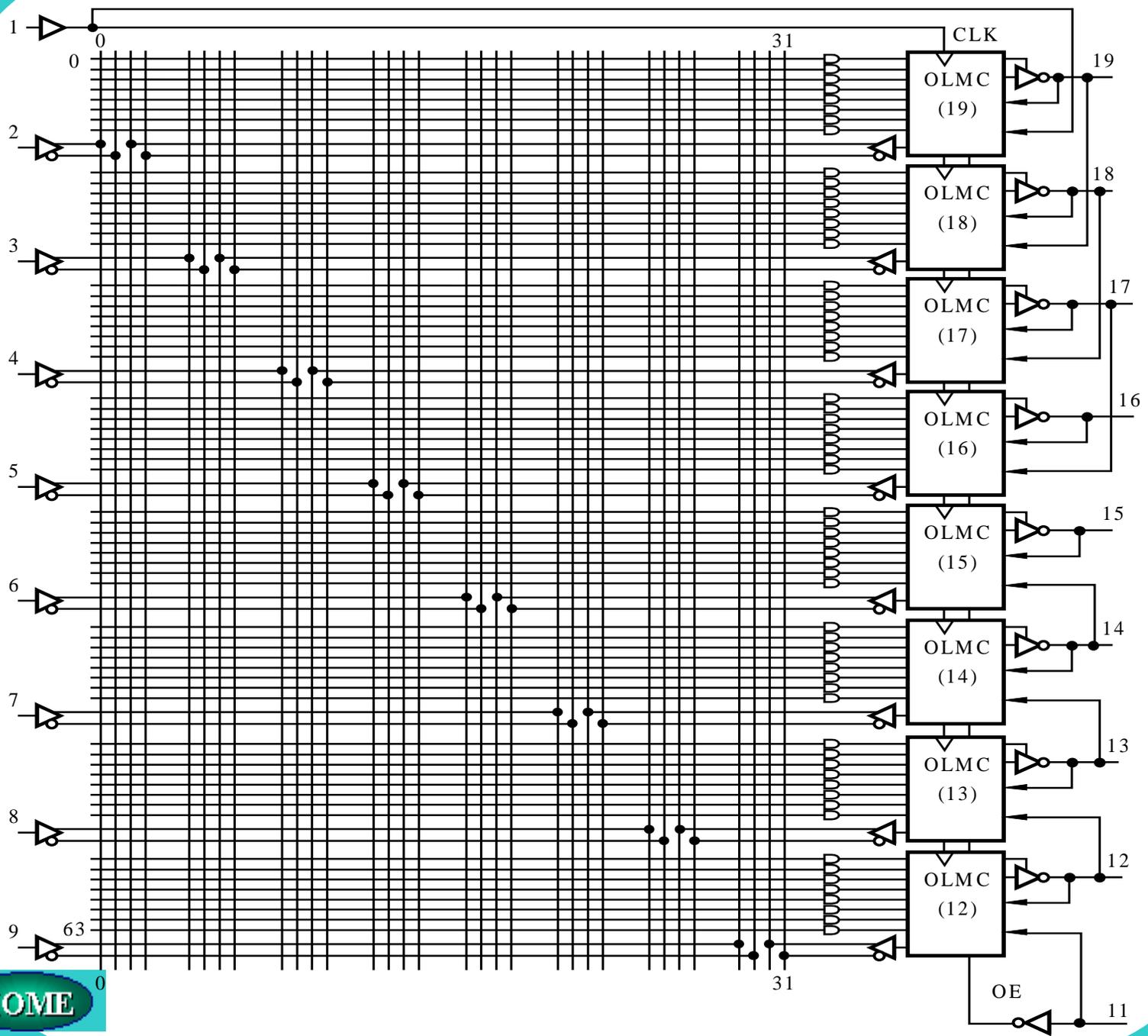
GAL既可以实现组合逻辑功能又可以实现时序逻辑功能

8.2.1 GAL器件的基本结构



组成:

- ☆ 1个可编程的与阵列
- ★ 8个输入缓冲器
- ★ 8个输出/反馈缓冲器
- ★ 8个三态输出缓冲器
- ⊕ 8个输出逻辑宏单元
- ⊕ 1个时钟输入CLK 缓冲器
- ◇ 1个输出使能缓冲器



HOME

BACK NEXT

8.2.2 输出逻辑宏单元 (OLMC)



◆ 1个D触发器

锁存或门的输出状态，使 GAL 可构成时序逻辑电路

◆ 4个多路开关

PTMUX: 控制来自与阵列的第一乘积项

TSMUX: 选择输出三态缓冲器的选通信号

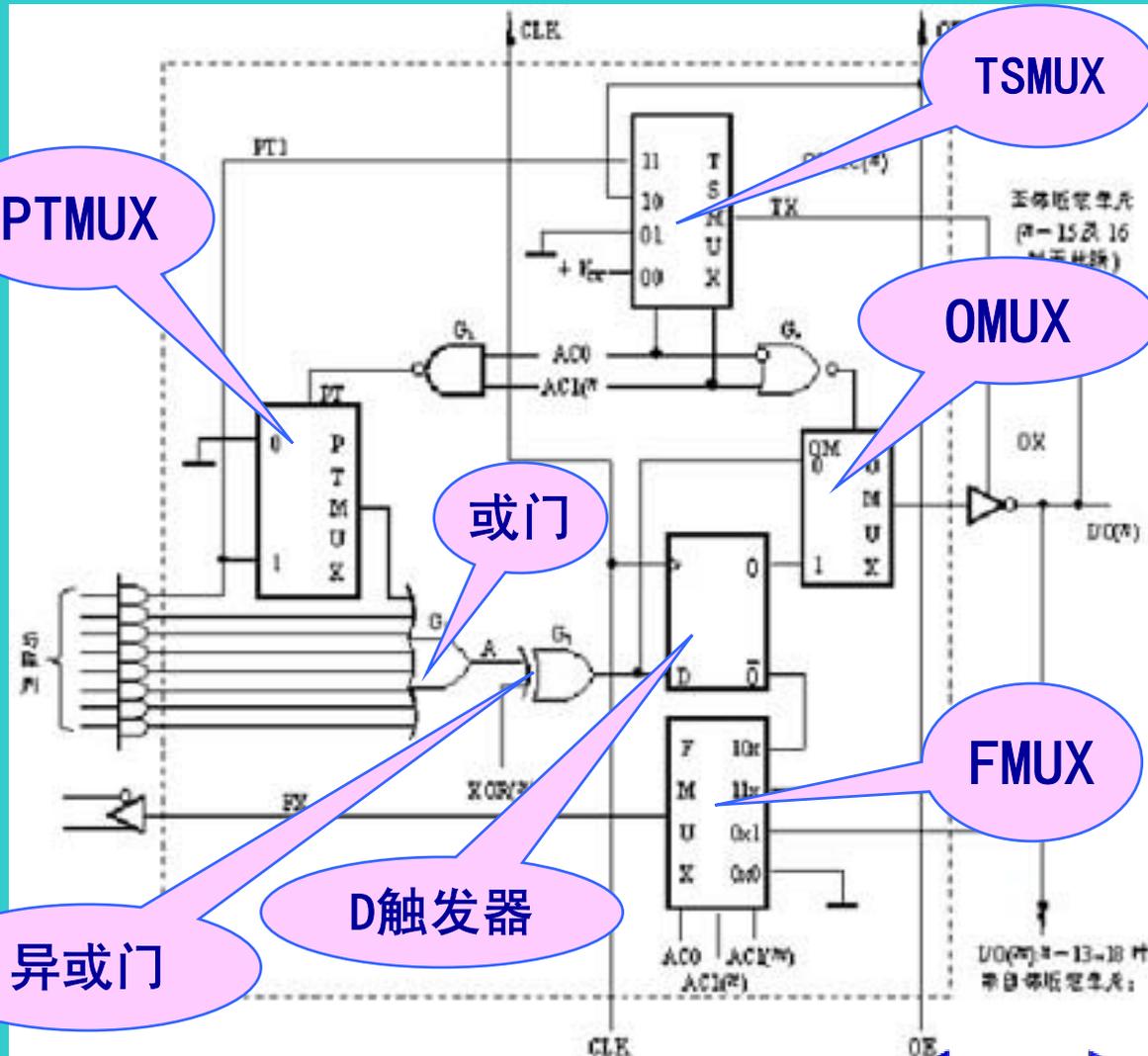
FMUX: 决定反馈信号的来源

OMUX: 控制输出信号是否锁存

◆ 1个异或门

用于控制输出信号的极性

1. 输出逻辑宏单元 (OLMC) 结构





1. 输出逻辑宏单元 (OLMC) 结构

(1) 乘积项多路开关PTMUX : AC_0 和 $AC_1(n)$ 至少有一个为0时, 第一与项成为或门的输入; 否则地电平作为或门的输入;

(2) 输出多路开关OMUX : $AC_0 AC_1(n)$ 等于10 时, 输出为DFF-Q

(3) 三态多路开关TSMUX:

AC_0	$AC_1(n)$	选择三态控制信号
1	1	第一与项
1	0	OE
0	1	地
0	0	Vcc

(4) 反馈多路开关FMUX:

AC_0	$AC_1(n) / AC_1(m)$	选择反馈信号来源
1	0	\overline{Q} 端
1	1	本级输出端
0	1	邻级输出
0	0	地

2. OLMC的工作模式控制信号

SYN: 共有同步信号; AC_0 : 共有信号;

$AC_1(n)$: 本级独立信号; $AC_1(m)$: 上(下)级独立信号;

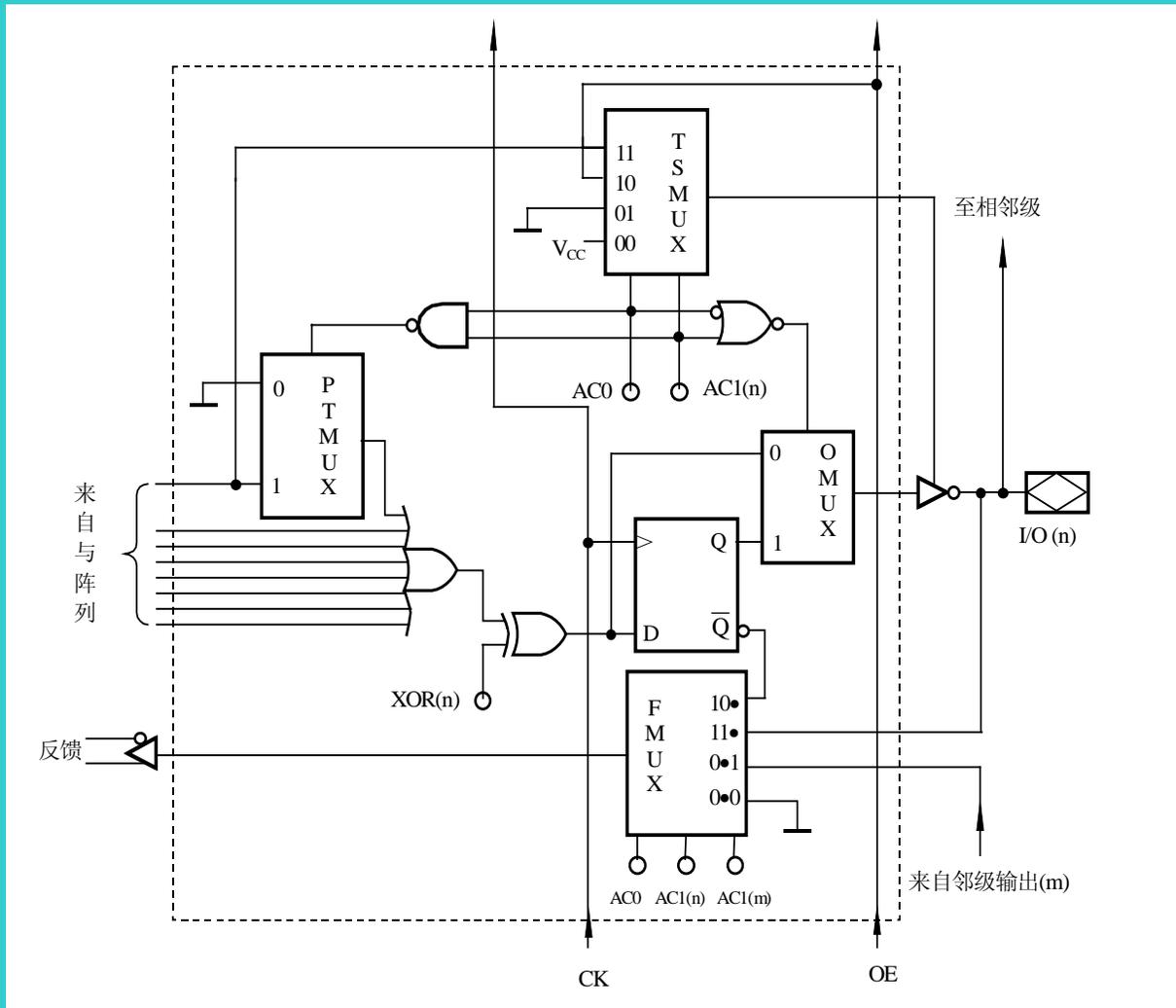


3. OLMC的工作模式

1) 专用输入模式

SYN=1
AC₀=0
AC₁(n)=1

TSMUX 输出低电平；
三态缓冲器为高阻态；
FMUX选择来自邻级的
输出信号接到与逻辑阵列
的输入



8.2.2 输出逻辑宏单元 (OLMC)

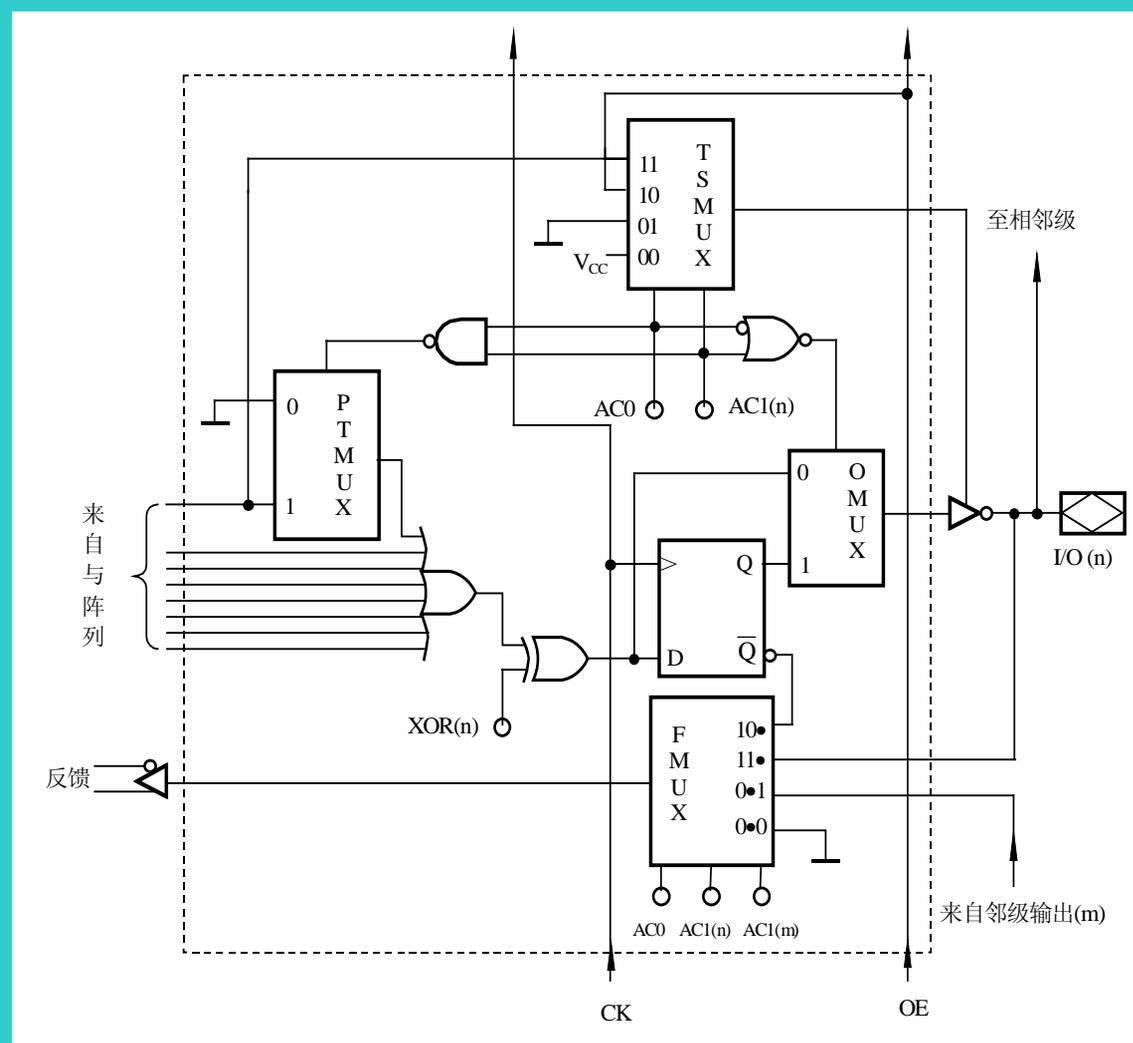


3. OLMC的工作模式

2) 专用输出模式

$SYN=1$
 $AC_0=0$
 $AC_1(n)=0$

TSMUX 输出高电平;
三态缓冲器为工作态;
OMUX选择异或门输出;
FMUX选择地电平反馈 (无反馈可被借用)



8.2.2 输出逻辑宏单元 (OLMC)

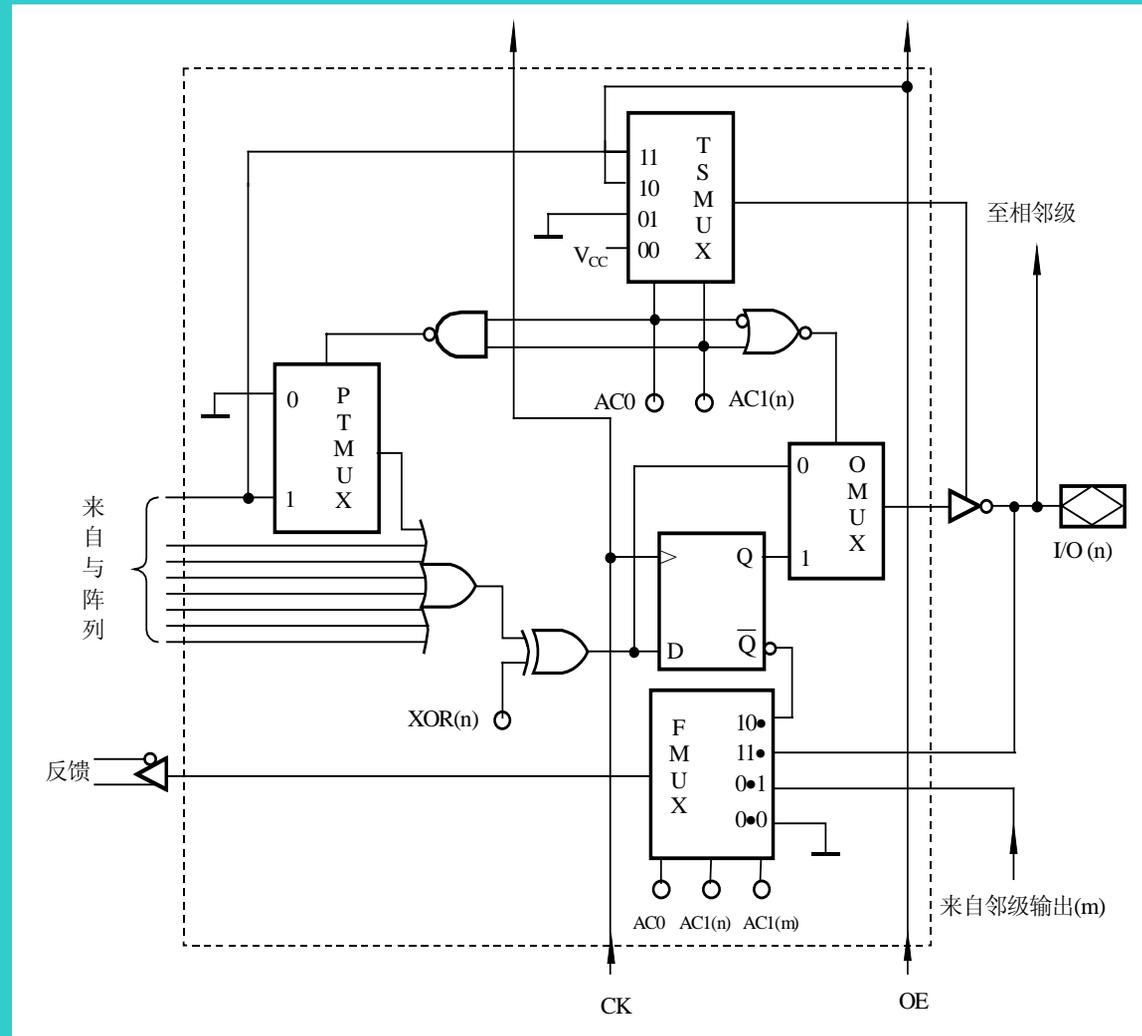
3. OLMC的工作模式

3) 反馈组合输入 / 输出模式



SYN=1
AC₀ =1
AC₁(n) =1

TSMUX 选择第一与项；
三态缓冲器受第一与项控制；
OMUX选择异或门输出；
FMUX选择本级输出信号反
馈或本端口输入信号



8.2.2 输出逻辑宏单元 (OLMC)

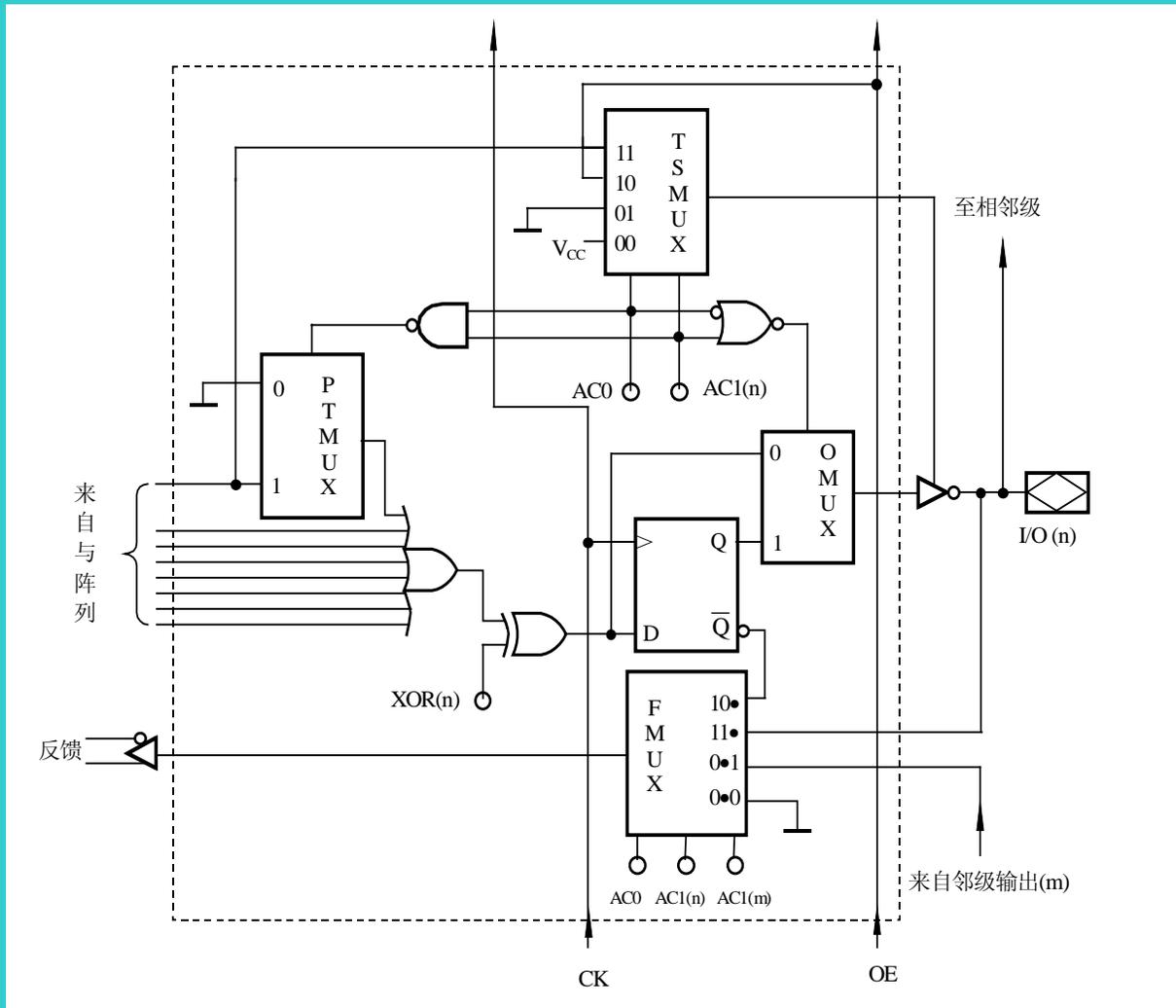


3. OLMC的工作模式

4) 寄存器输出模式

$SYN=0$
 $AC_0=1$
 $AC_1(n)=0$

TSMUX 选择OE输出;
三态缓冲器受OE控制;
OMUX选择DFF-Q输出;
FMUX选择DFF- \bar{Q} 反馈;



8.2.2 输出逻辑宏单元 (OLMC)

3. OLMC的工作模式

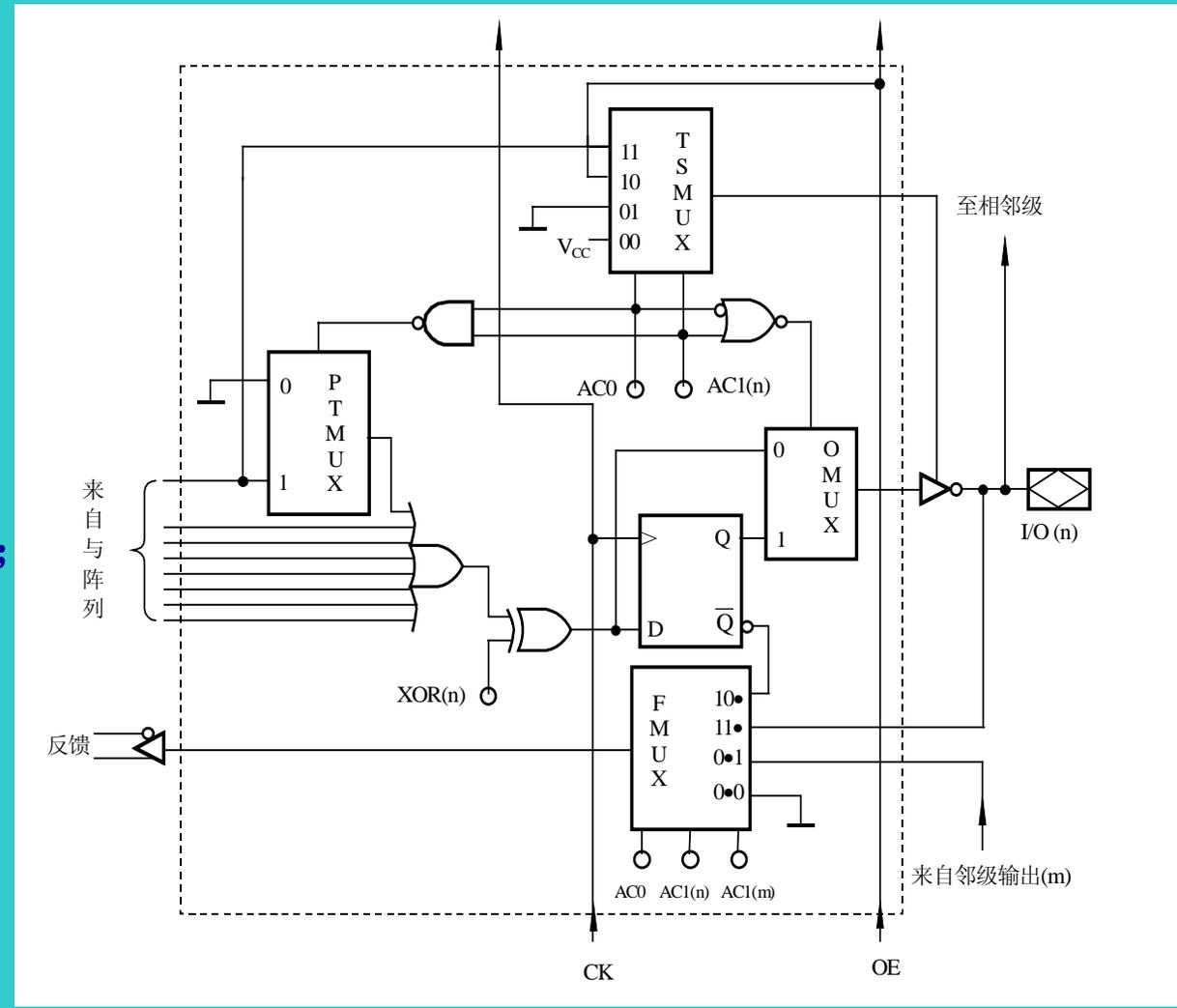
$SYN=0$

$AC_0=1$

$AC_1(n)=1$

TSMUX 选择第一与项;
三态缓冲器受第一与项控制;
OMUX选择异或门输出;
FMUX选择本级输出信号反馈或本端口输入信号

5) 时序输入 / 输出模式



8.2.2 输出逻辑宏单元 (OLMC)



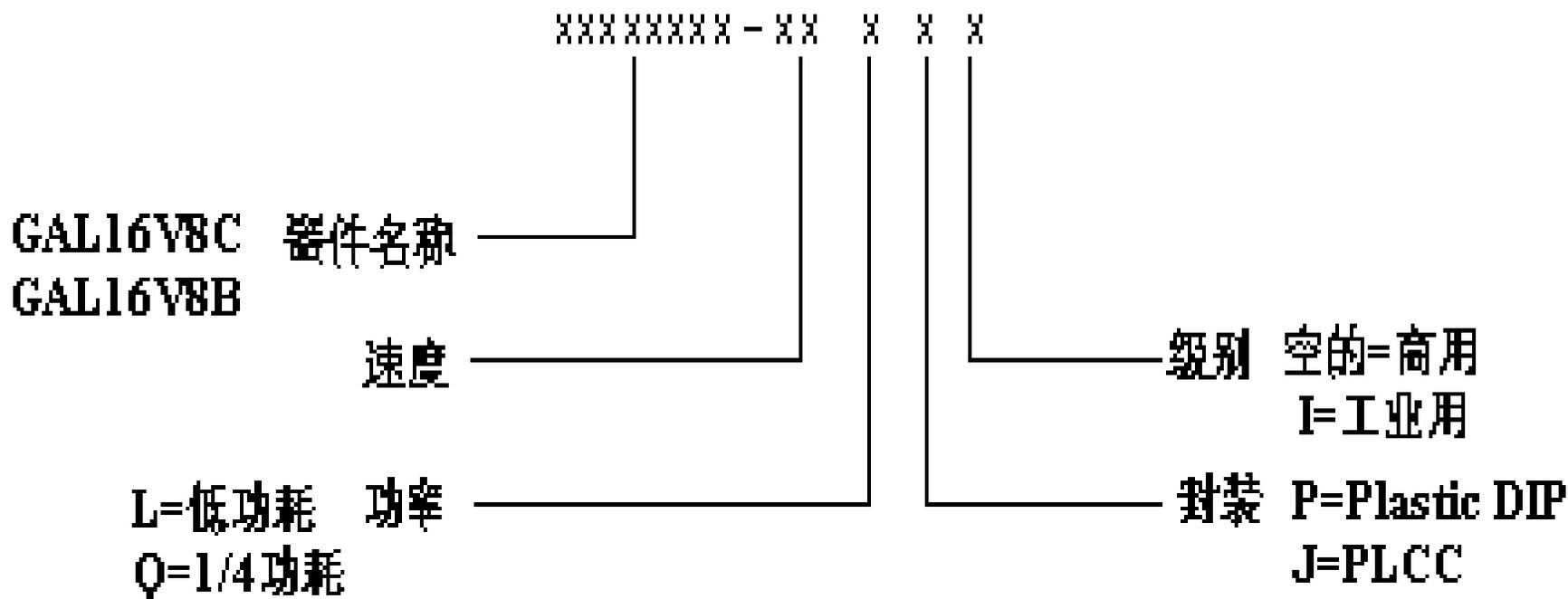
GAL16V8宏单元的5种组态小结

功能	SYN	AC0	AC1(n)	XOR(n)	输出极性	备注
专用输入	1	0	1	——	——	1、11脚为数据输入，三态门不通
专用组合型输出	1	0	0	0	低电平有效	1、11脚为数据输入；三态门总是选通；所有输出都是组合型
				1	高电平有效	
组合型输出	1	1	1	0	低电平有效	1、11脚为数据输入；三态门由第一乘积项选通；所有输出都是组合型的
				1	高电平有效	
组合型输入/输出	0	1	1	0	低电平有效	1脚CK、11脚OE；本级宏单元组合型，其余宏单元至少有一个是寄存器型
				1	高电平有效	
寄存器型输出	0	1	0	0 1	低电平有效 高电平有效	1脚=CK、11脚OE；本级宏单元寄存器型

8.2.3 GAL器件与编程使用



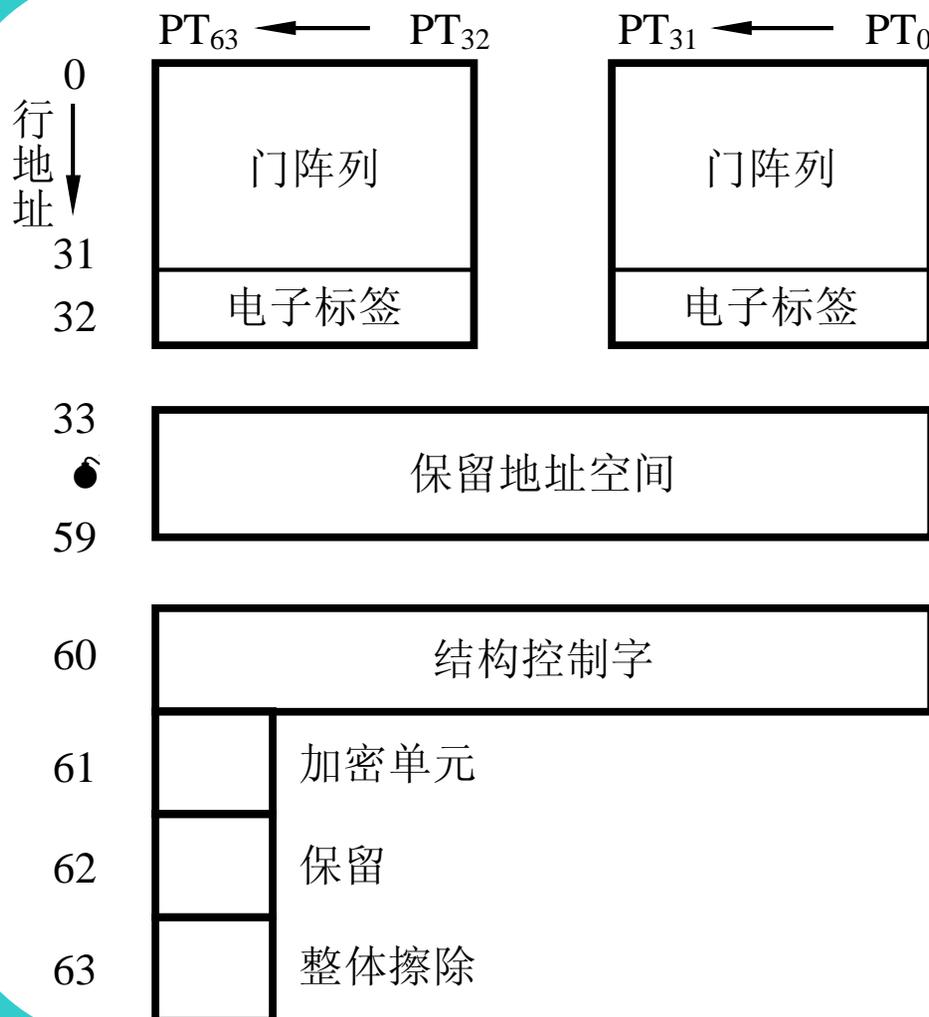
1. GAL器件的命名:





2. GAL器件的编程文件（熔丝图结构）

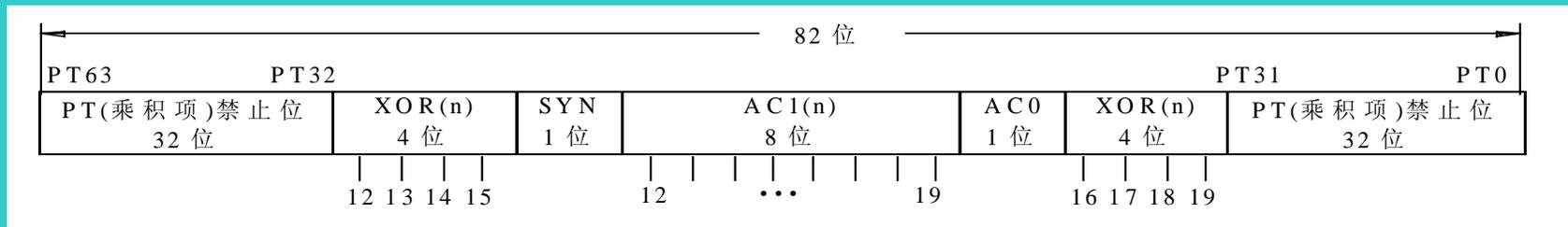
- GAL16V8的熔丝图用行地址（64行）映射和单元号标示





2. GAL器件的编程文件（熔丝图结构）

- GAL16V8的熔丝图用行地址（64行）映射和单元号标示
- GAL16V8的与阵列编程数据映射：第0—31行X64bit=32X64与阵列
内部单元号：0000—2047
- GAL16V8的结构控制字映射：第60行X82bit



内部单元号：

|2191-2160 |2055-2052|2192| 2127 - 2120 |2193|2051-2048| 2159-2128|

- GAL16V8的其它编程控制映射：第32行X64bit—电子标签 (2056—2119)；
第61行X1bit—加密；
第63行X1bit—整体擦除；
- GAL16V8的编程过程：

在编程状态下，编程数据由第9脚串行送入GAL器件内部的移位寄存器中。移位寄存器有64位，装满一次就向编程单元地址中写入一行，编程是逐行进行的。



习题

1) P. 358-8.7 (1), 要求分别画出
PLA和ROM实现的点阵图

2) 康华光老师书P. 343-8.3.4, 并针
对引脚16、17写出模式控制字