



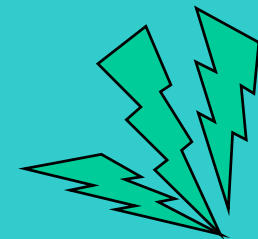
8.1 可编程逻辑器件概述

8.1.0 数字集成电路概述

8.1.1 PLD器件的电路表示法

8.1.2 PLD器件的基本结构

8.1.3 PLD器件的分类



8.1.0 可编程逻辑器件概述



可编程逻辑器件PLD：其逻辑功能由用户通过对器件编程设定

8.1.0 PLD概

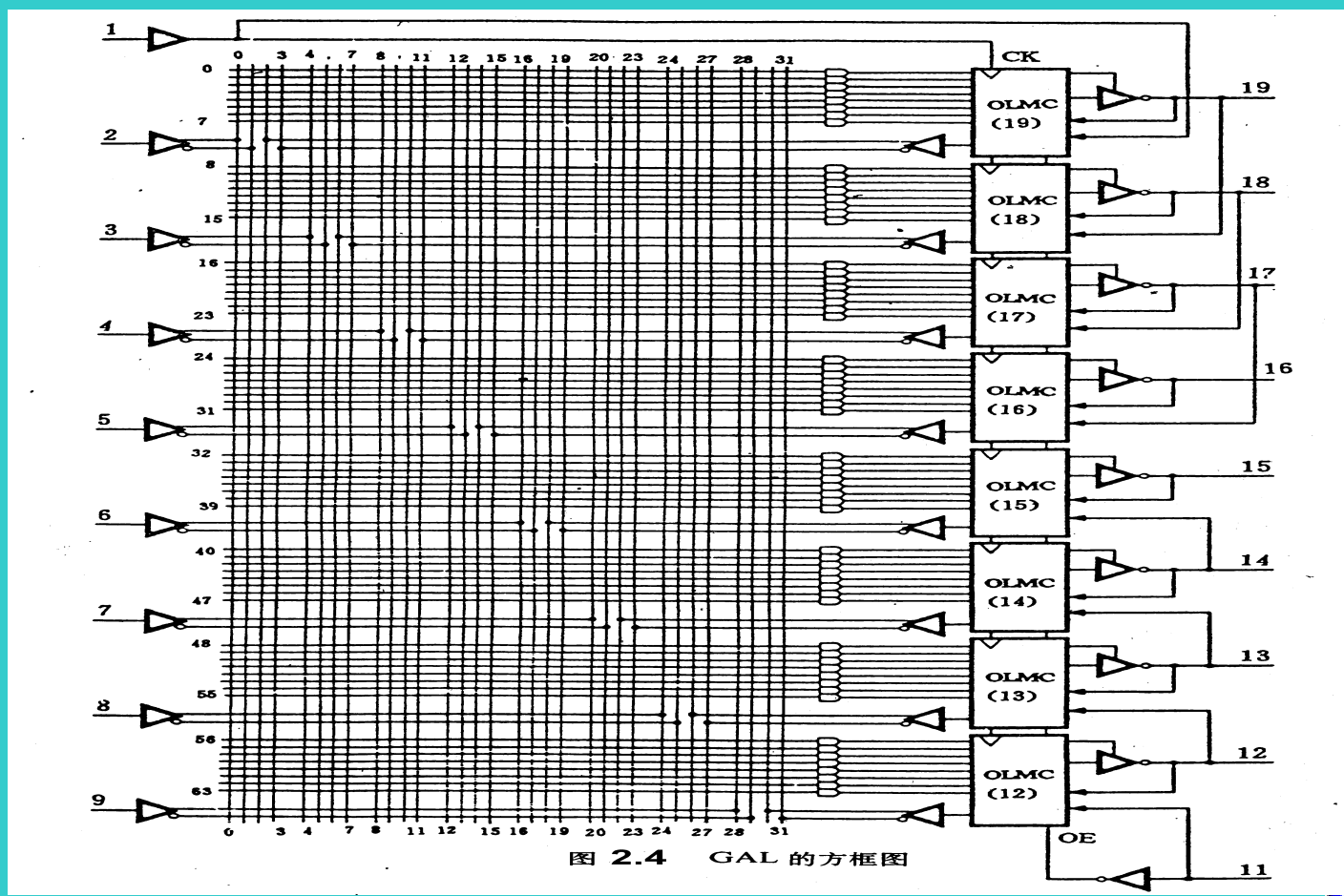
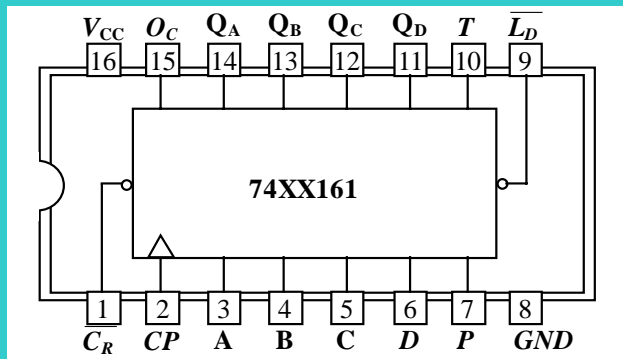
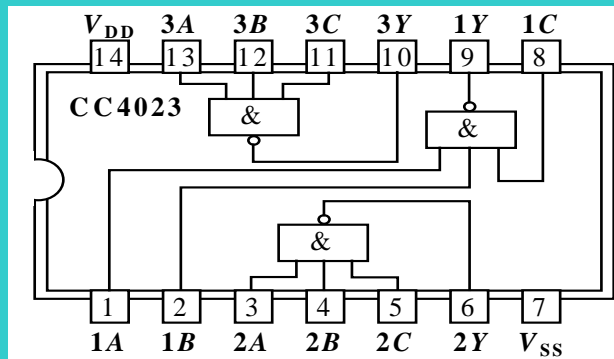
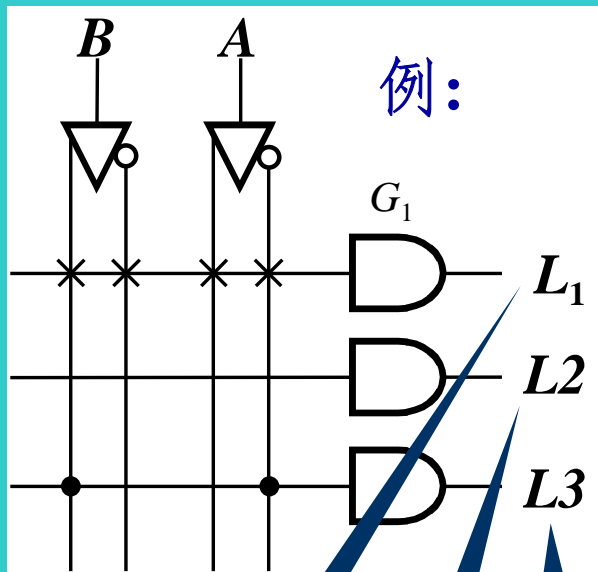


图 2.4 GAL 的方框图

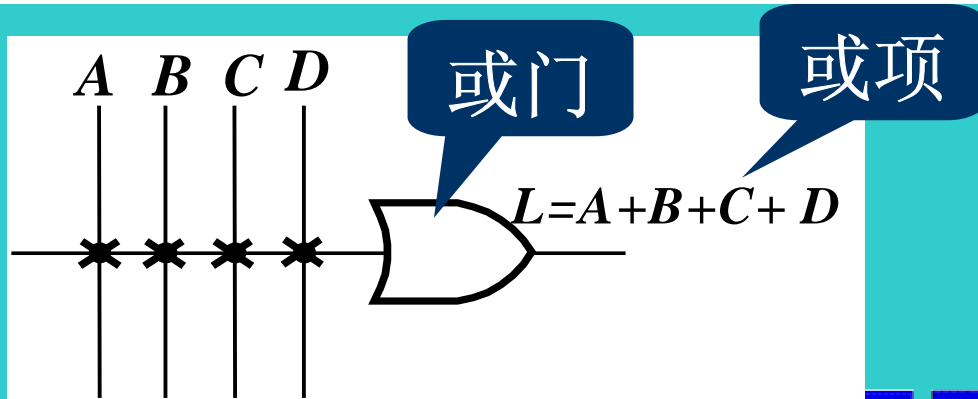
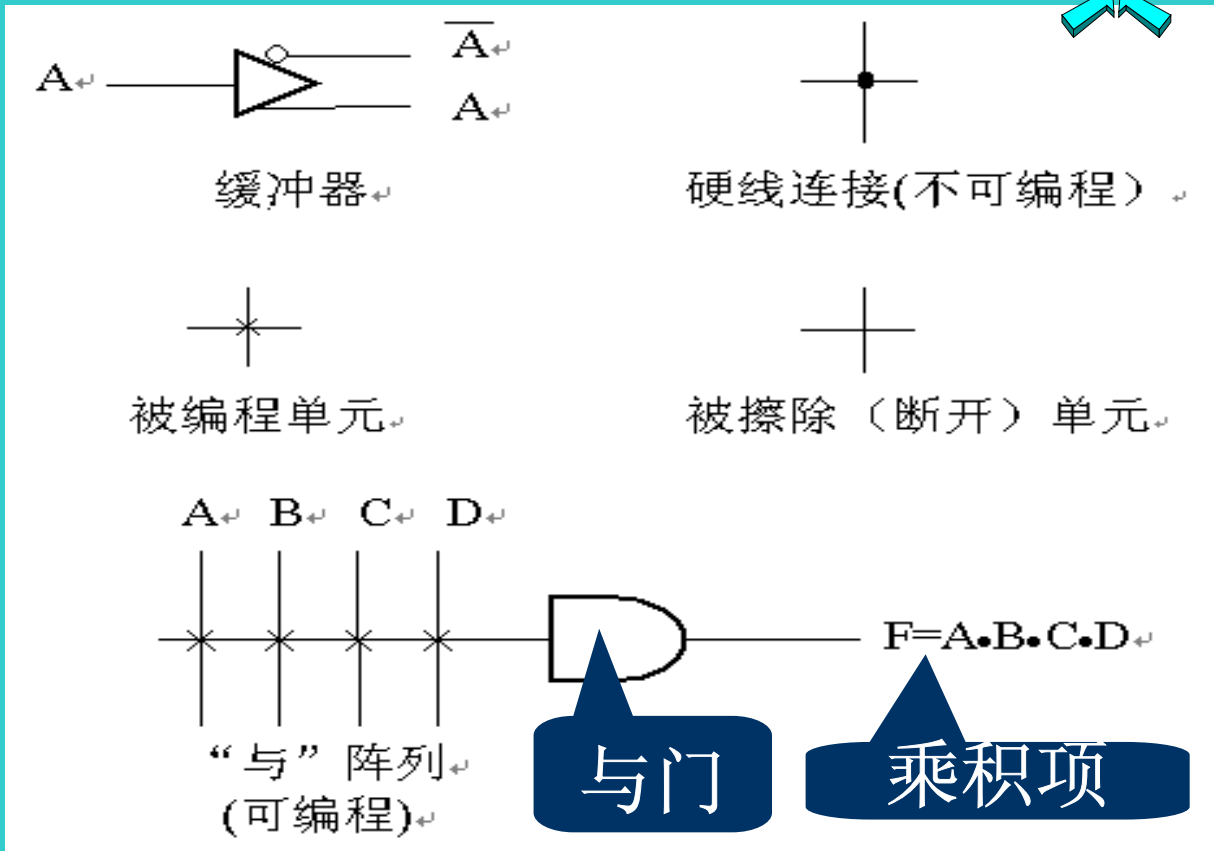
8.1.1 PLD器件的电路表示法



PLD的一般图形表示



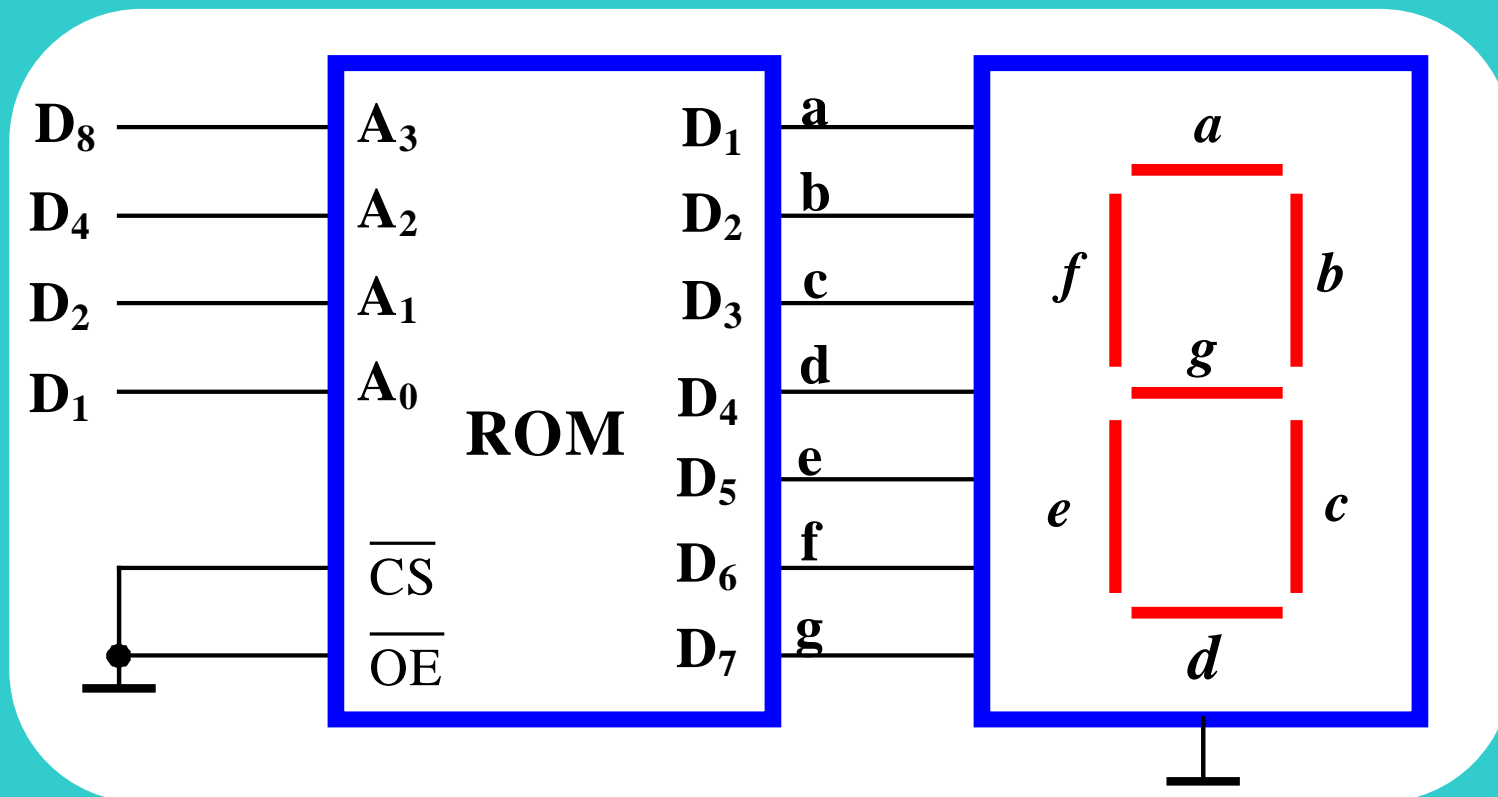
- 0
- 1
- $\bar{A}B$



8.1.2 PLD器件的基本结构



借用上章例：利用ROM实现的8421BCD到七段译码



8.1.2 PLD器件的基本结构



0000 地址单元的内容对应七段数码 0

		0	1	2	3	4	5	6	7	
D ₁	A ₀	0	1	1				1	0	7E
D ₂	A ₁	0	1	1				0	0	0C
D ₄	A ₂	0	1	0				0	1	B6
D ₈	A ₃	0	1	1				0	1	9E
		0	1	1				1	1	CC
		0	0	1				1	1	DA
		0	0	1				1	1	FA
		0	1	1				0	0	0E
		0	1	1				1	1	FE
		0	1	1				1	1	CE

ROM

输入变量的与项不可能简化，各个与项的和可以简化

1001 地址单元的内容对应七段数码 9

$$D_1 = \bar{A}_3 \bar{A}_2 \bar{A}_1 \bar{A}_0 + \bar{A}_3 \bar{A}_2 A_1 \bar{A}_0 + \bar{A}_3 \bar{A}_2 A_1 A_0 + \bar{A}_3 A_2 \bar{A}_1 A_0 + \bar{A}_3 A_2 A_1 \bar{A}_0 + \bar{A}_3 A_2 A_1 A_0 + A_3 \bar{A}_2 \bar{A}_1 \bar{A}_0 + A_3 \bar{A}_2 \bar{A}_1 A_0$$

$$D_4 = \bar{A}_3 \bar{A}_2 \bar{A}_1 \bar{A}_0 + \bar{A}_3 \bar{A}_2 A_1 \bar{A}_0 + \bar{A}_3 \bar{A}_2 A_1 A_0 + \bar{A}_3 A_2 \bar{A}_1 A_0 + \bar{A}_3 A_2 A_1 \bar{A}_0 + A_3 \bar{A}_2 \bar{A}_1 \bar{A}_0$$

$$D_5 = \bar{A}_3 \bar{A}_2 \bar{A}_1 \bar{A}_0 + \bar{A}_3 \bar{A}_2 A_1 \bar{A}_0 + \bar{A}_3 A_2 A_1 \bar{A}_0 + A_3 \bar{A}_2 \bar{A}_1 \bar{A}_0$$



1. PROM结构示意

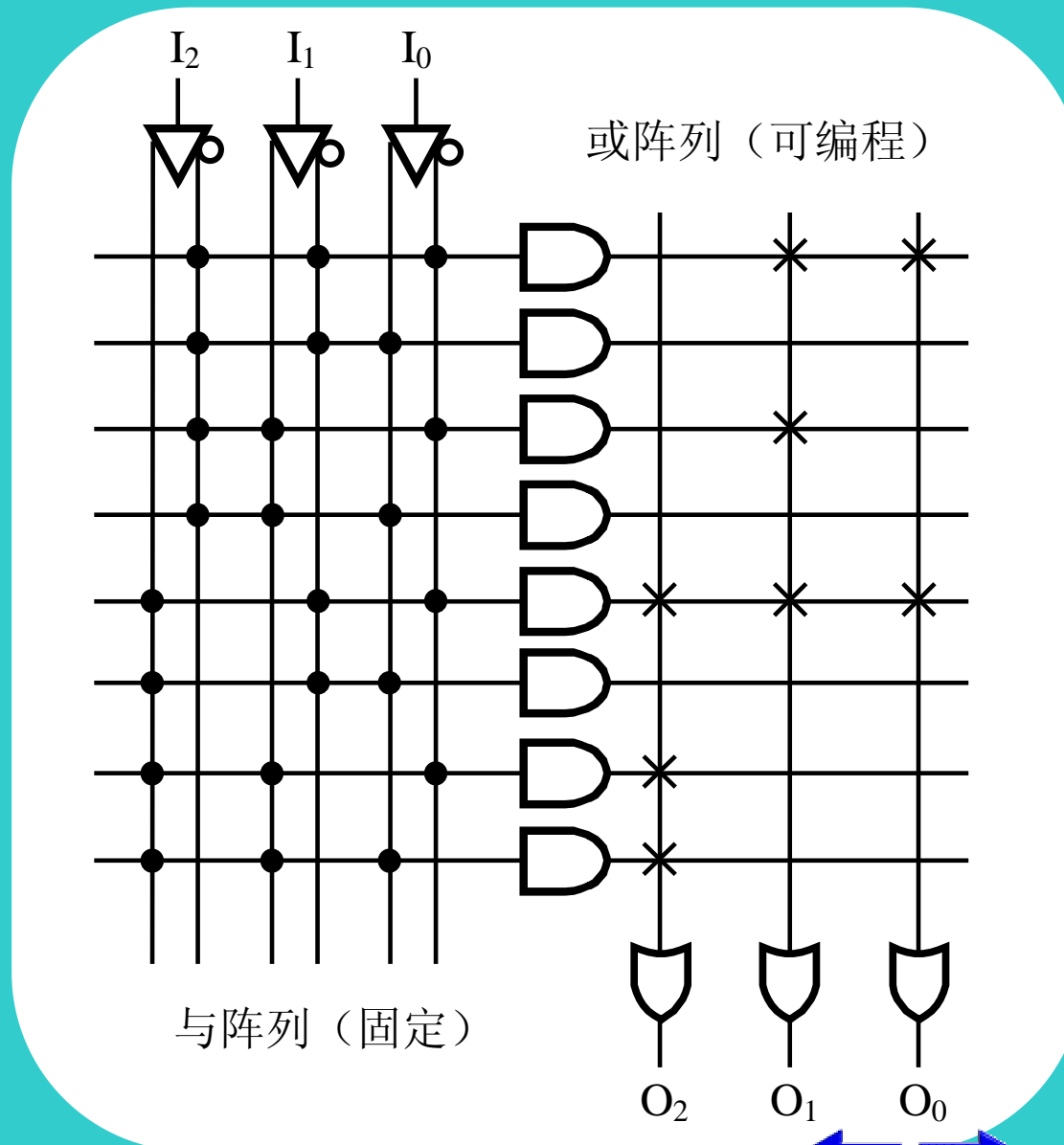
$$O_0 = \bar{I}_2 \bar{I}_1 \bar{I}_0 + I_2 \bar{I}_1 \bar{I}_0$$

$$O_1 = \bar{I}_2 I_1 \bar{I}_0 + I_2 \bar{I}_1 \bar{I}_0 + \bar{I}_2 \bar{I}_1 \bar{I}_0$$

$$O_2 = I_2 \bar{I}_1 \bar{I}_0 + I_2 I_1 \bar{I}_0 + I_2 I_1 I_0$$

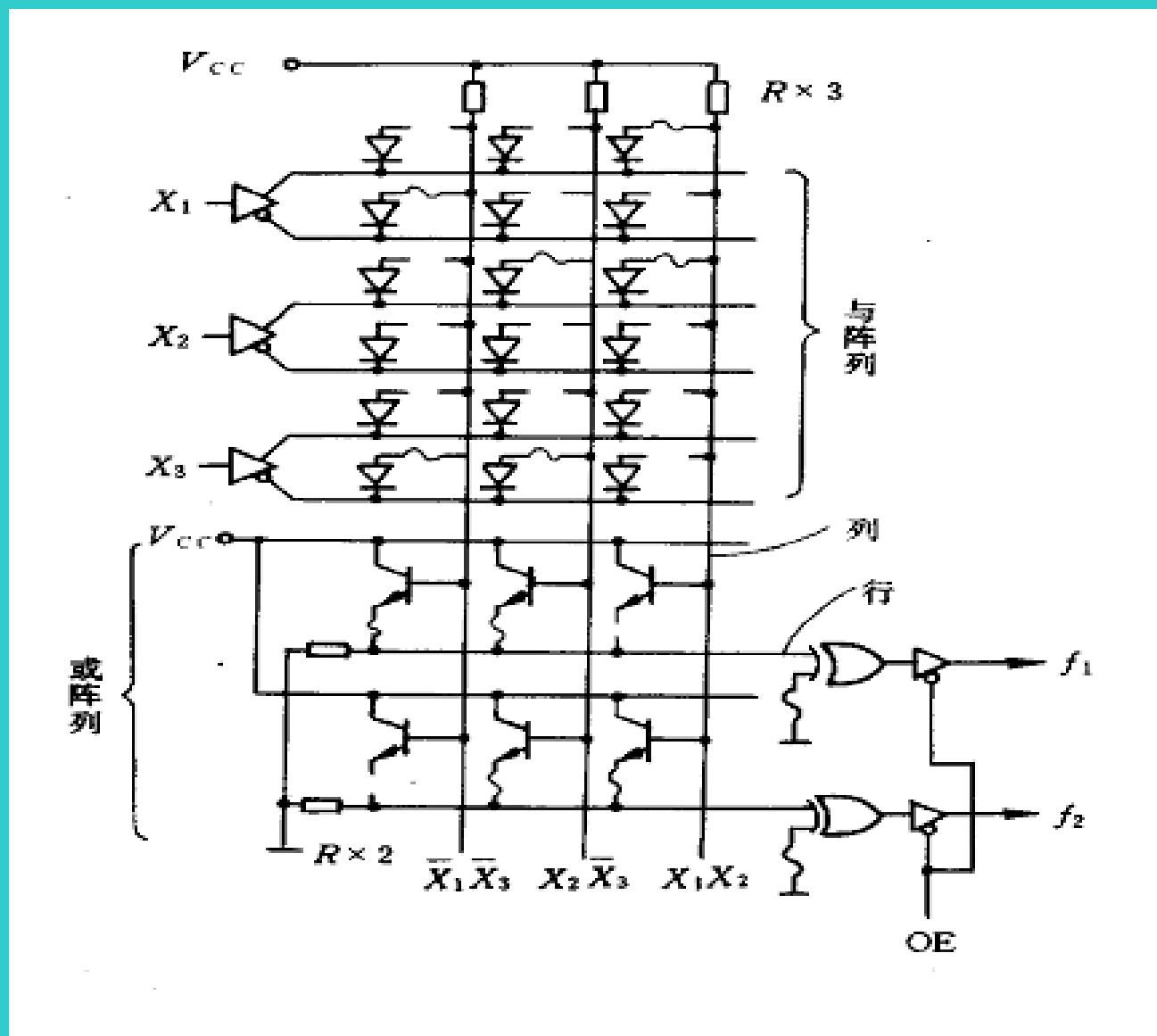
与阵列固定，

或阵列可编程





2. 熔丝式FPLA的原理结构示意图





PLA的结构示意图

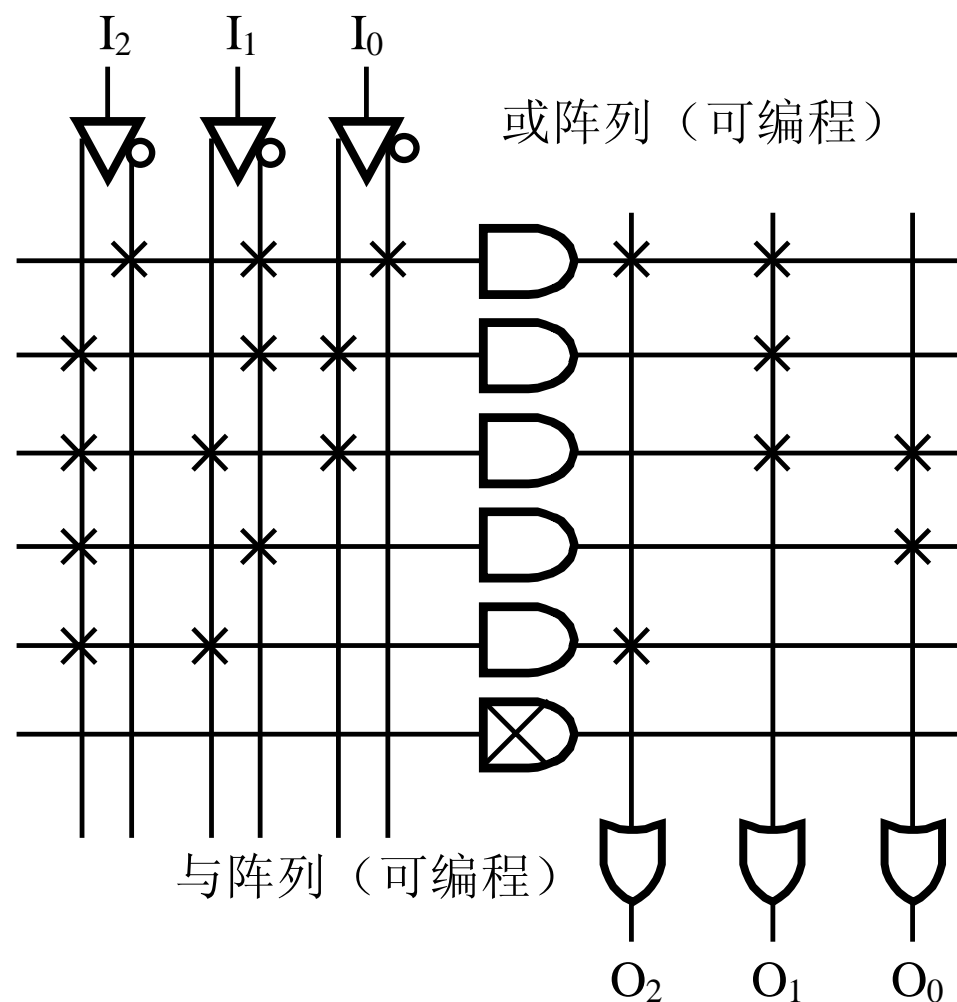
$$O_0 = I_2 \bar{I}_1 + I_2 I_1 I_0$$

$$O_1 = \bar{I}_2 \bar{I}_1 \bar{I}_0 + I_2 \bar{I}_1 I_0 + I_2 I_1 I_0$$

$$O_2 = I_2 I_1 + \bar{I}_2 \bar{I}_1 \bar{I}_0$$

与阵列可编程

或阵列可编程





3. PAL的结构图

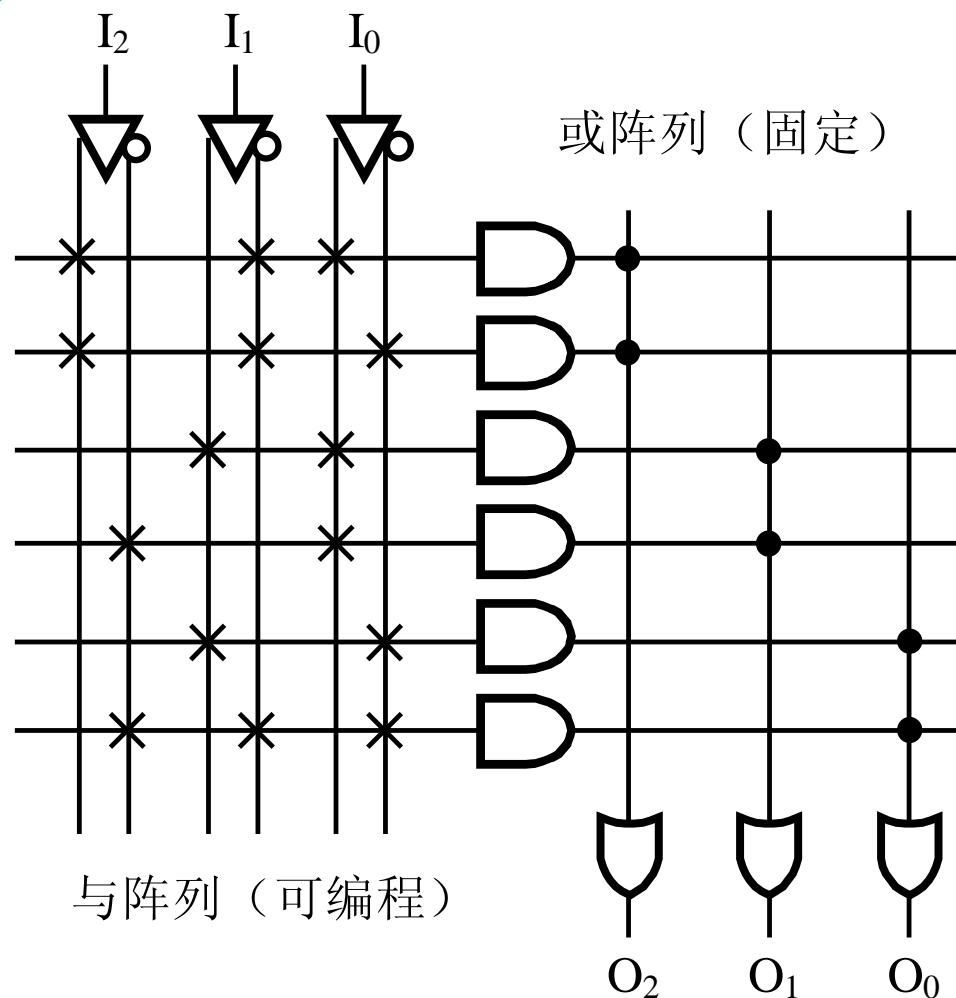
$$O_0 = I_1 \bar{I}_0 + \bar{I}_2 \bar{I}_1 \bar{I}_0$$

$$O_1 = I_1 I_0 + \bar{I}_2 I_0$$

$$O_2 = I_2 \bar{I}_1 I_0 + I_2 \bar{I}_1 \bar{I}_0$$

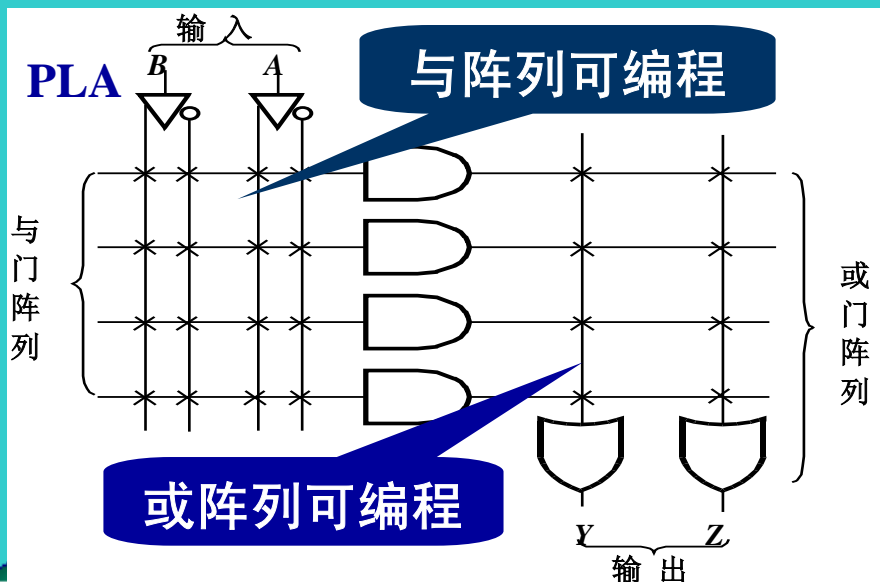
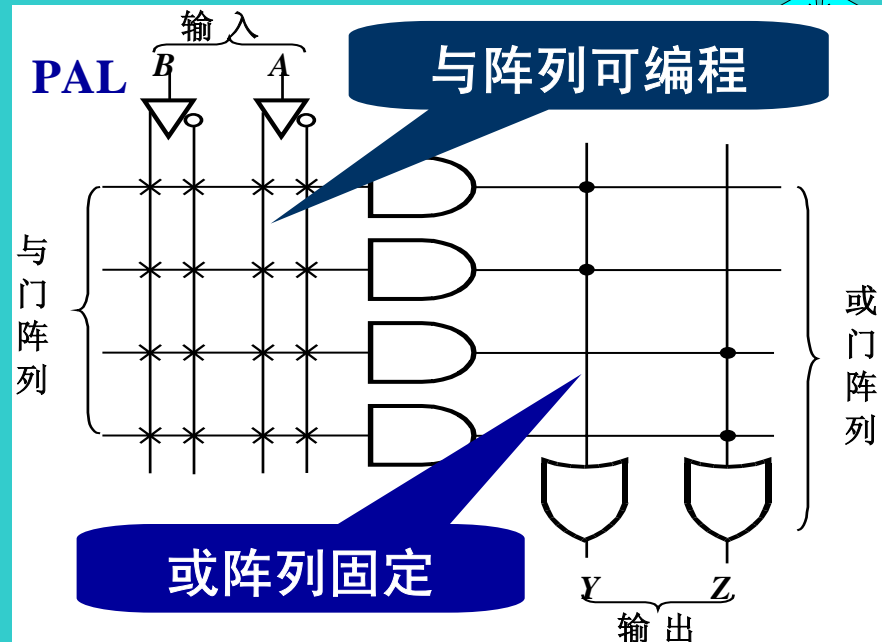
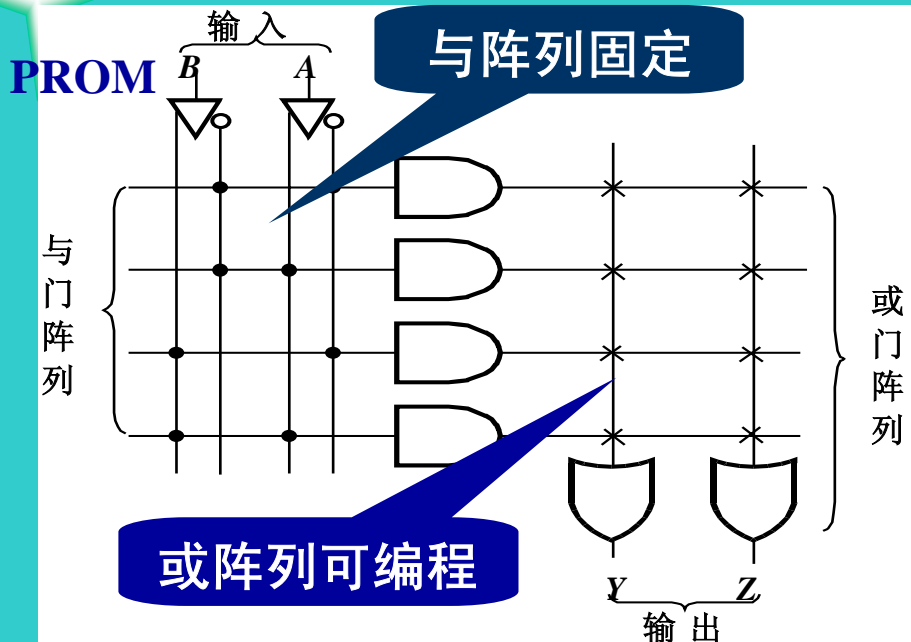
与阵列可编程

或阵列不可编程



8.1.1 PLD器件的电路表示法

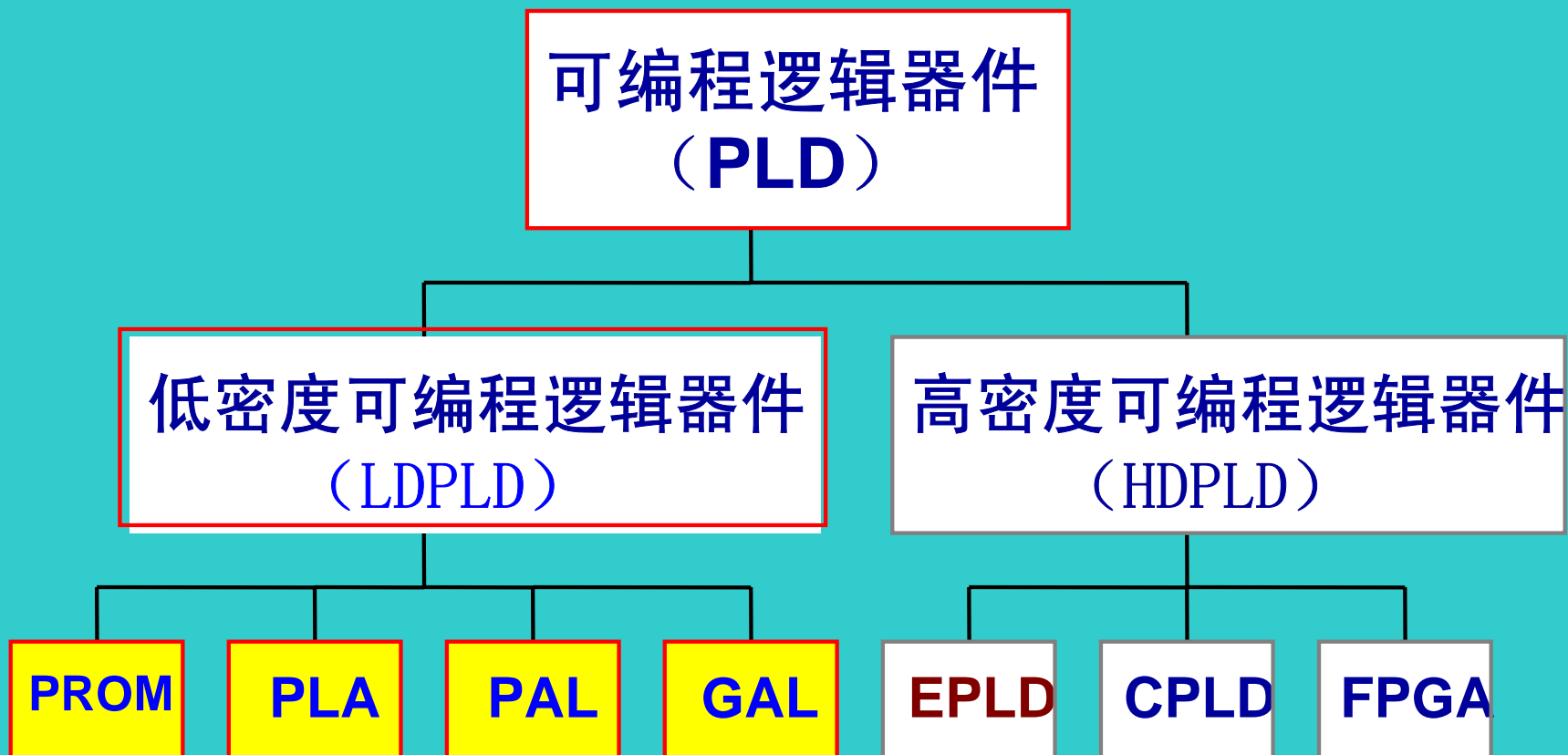
4. 3种基本的PLD结构



8.1.3 可编程逻辑器件分类



1) 按集成密度





2) 按结构

基于与 / 或阵列结构的器件

(PROM、PLA、PAL、GAL、CPLD、EPLD)

基于门阵列结构的器件 (FPGA)

3) 按编程工艺

- 熔丝和反熔丝编程；如：Actel的FPGA器件
- SRAM；如：Xilinx的FPGA器件
- UEPROM；大多数的EPLD器件
- EEPROM器件；GAL、CPLD器件

8.1.3 PLD分类

表 9-1 PLD 器件分支结构、性能比较表

器件名		PROM	FPLA	PAL	GAL
阵列	与	固定	可编程(一次性)	可编程(一次性)	可编程(百次以上)
	或	可编程(一次性)	可编程(一次性)	固定	固定
输出结构		TS(三态)OC(集电极开路)	TS OC R(寄存器)	TS-I/O 三态带反馈 R-I/O 寄存器带反馈 XOR-I/O 异或带反馈	OLMC, 用户可定义输出组态
功能特点		大规模阵列用于存储、小规模用于组合电路逻辑设计	最简地实现逻辑设计、实现组合、时序电路	通过编程实现组合、时序、组合和时序混合的逻辑电路	通过编程可实现组合、时序、组合和时序混合的逻辑电路。具有加密功能
注		OLMC; Output Logic Macro Cell			